

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-262476
 (43) Date of publication of application : 11.10.1996

(51) Int.Cl. G02F 1/135

(21) Application number : 08-006363 (71) Applicant : SHARP CORP
 (22) Date of filing : 18.01.1996 (72) Inventor : TORIHARA HIROSHI
 HIGASHIDA
 SHINPEI
 HATANO AKITSUGU

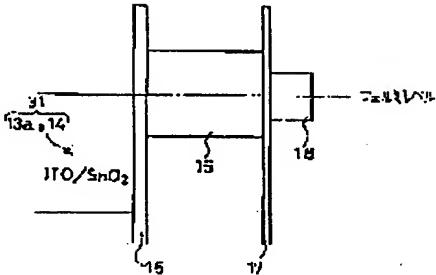
(30) Priority

Priority 07 10155 Priority 25.01.1995 Priority JP
 number : date : country :

(54) OPTICAL WRITING TYPE LIQUID CRYSTAL ELEMENT

(57) Abstract:

PURPOSE: To obtain an optical writing type liquid crystal element featuring a high photosensitivity, high resolution and high contrast by forming carrier blocking layers which impress more voltage than on liquid crystal layer side regions on the writing light incident side regions of a photoconductive layer when the voltage is impressed on the photoconductive layer. CONSTITUTION: The infiltration of carriers (carrier injection) from transparent electrodes 31 and a liquid crystal layer side and the outflow of the carriers from the photoconductive layer 16 at the time of voltage impression are prohibited or suppressed at the dark time by the carrier blocking layers 15, 17 formed on the writing light incident side and liquid crystal layer side of the photoconductive layer 16 and, therefore, the photoconductive layer 16 has extremely high resistance and high impedance as dark current hardly flows. The more voltage is impressed on the writing light incident regions of the photoconductive layer 16 at the time of voltage impression by the carrier blocking layers 15, 17 at the bright time and, therefore, electric fields are efficiently impressed on the effective regions for carrier generation. The photoconductive layer 16 has low resistance and low impedance as the photocurrent flows easily.



LEGAL STATUS

[Date of request for examination] 23.07.1999

THIS PAGE BLANK (CONT'D)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 公開番号
特開平 08-262476
(P08-262476A)

(43) 公開日 平成 8 年 10 月 11 日 (1996.10.11)

(51) Int.Cl.⁶
G02F 1/135

F I
G02F 1/135

テーマコード (参考)

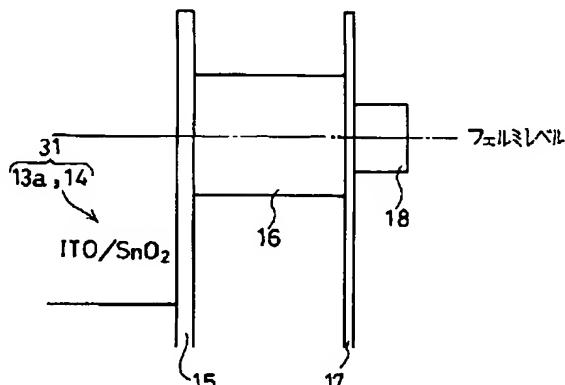
審査請求 未請求 請求項の数 11 OL (全 62 頁)	
(21) 出願番号 特願平 08-006363 (P08-006363)	(71) 出願人 000005049 シャープ株式会社
(22) 出願日 平成 8 年 1 月 18 日 (1996.01.18)	(72) 発明者 鳥原 広志 大阪府大阪市阿倍野区長池町 22 番 22 号 シャープ株式会社内
(31) 優先権番号 特願平 07-010155 (P07-010155)	(72) 発明者 東田 晋平 大阪府大阪市阿倍野区長池町 22 番 22 号 シャープ株式会社内
(32) 優先日 平成 7 年 1 月 25 日 (1995.01.25)	(72) 発明者 波多野 晃継 大阪府大阪市阿倍野区長池町 22 番 22 号 シャープ株式会社内
(33) 主張国 日本 (JP)	(75) 代理人 弁理士 原 謙三

(54) 発明の名称 光書き込み型液晶素子

(57) 要約

【課題】 光導電層 16 の光感度を向上させ、高光感度、高解像度、高コントラストの光書き込み型液晶素子を提供する。

【解決手段】 光導電層 16 の透明電極 31 側および遮光層 18 側には、光導電層 16 内へのキャリアの侵入を防止すると共に、光導電層 16 に電圧が印加されたとき、光導電層 16 の透明電極 31 側領域に遮光層 18 側領域よりも多くの電圧を印加させるキャリアプロッキング層 15・17 が形成されている。



(特開平 08-262476)

(1)

【特許請求の範囲】

【請求項 1】

対向配置された一対の透明電極基板間に光導電層と液晶層とが形成された光書込み型液晶素子において、上記光導電層の書込み光の入射側および液晶層側には、光導電層の内外へのキャリアの侵入および流出を防止または抑制すると共に、光導電層に電圧が印加されたとき、光導電層の書込み光入射側領域に液晶層側領域よりも多くの電圧を印加させるキャリアプロッキング層が形成されていることを特徴とする光書込み型液晶素子。

【請求項 2】

上記キャリアプロッキング層によって形成される空乏層あるいは最大空乏層が、書込み光入射側領域に形成される空乏層あるいは最大空乏層の幅を W_{L} 、液晶層側領域に形成される空乏層あるいは最大空乏層の幅を W_{BL} としたとき、以下の関係式、 $W_{L} > W_{BL}$ を満たすことを特徴とする請求項 1 記載の光書込み型液晶素子。

【請求項 3】

上記光導電層の少なくとも書込み光の入射側に形成されるキャリアプロッキング層が、絶縁層で構成されていることを特徴とする請求項 1 または 2 記載の光書込み型液晶素子。

【請求項 4】

上記光導電層の書込み光の入射側に形成されるキャリアプロッキング層が、超格子構造で構成されていることを特徴とする請求項 1 記載の光書込み型液晶素子。

【請求項 5】

上記光導電層の少なくとも書込み光の入射側に形成されるキャリアプロッキング層が、p 型半導体と n 型半導体との積層構造で構成されていることを特徴とする請求項 1 記載の光書込み型液晶素子。

【請求項 6】

上記光導電層の少なくとも液晶層側に形成されるキャリアプロッキング層が、当該光導電層と同じエネルギーギャップの p 型の半導体で構成されていることを特徴とする請求項 1、2、3、4 または 5 記載の光書込み型液晶素子。

【請求項 7】

上記光導電層の少なくとも液晶層側に形成されるキャリアプロッキング層が、当該光導電層よりエネルギーギャップが大きいワイドギャップの i 型もしくは p 型の半導体で構成されていることを特徴とする請求項 1、2、3、4 または 5 記載の光書込み型液晶素子。

【請求項 8】

上記光導電層が、書込み光の入射側の透明電極側に形成された、当該光導電層よりエネルギーギャップが大きいワイドギャップの i 型もしくは p 型の半導体とヘテロ接合されている、あるいは当該光導電層と同じエネルギーギャップの p 型の半導体とホモ接合されていることを特徴とする請求項 1、2、3、6 または 7 記載の光

(2)

書込み型液晶素子。

【請求項 9】

上記光導電層の書込み光の入射側に形成されるキャリアプロッキング層が、液晶層側に向かってエネルギーギャップが小さくなるチャーブ構造の i 型または p 型の半導体であることを特徴とする請求項 1、2、3、6 または 7 記載の光書込み型液晶素子。

【請求項 10】

上記光導電層の書込み光の入射側領域のドナー密度を N_{DI} 、液晶層側領域でのドナー密度を N_{DLC} としたとき、以下の関係式、 $N_{DI} < N_{DLC}$ を満たしていることを特徴とする請求項 1、2、3、4、5、6、7、8 または 9 記載の光書込み型液晶素子。

【請求項 11】

対向配置された一対の透明電極基板間に光導電層と液晶層とが形成された光書込み型液晶素子において、上記光導電層の書込み光の入射側および液晶層側には、光導電層の内外へのキャリアの侵入および流出を防止または抑制するキャリアプロッキング層が設けられており、当該キャリアプロッキング層が p 型半導体と n 型半導体との積層構造で構成されていることを特徴とする光書込み型液晶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光書込み型液晶素子に関するものであって、特に投射型の液晶表示装置に用いられる光書込み型液晶素子に関するものである。

30 【0002】

【従来の技術】

一般的な光書込み型液晶素子の基本構造は、例えば特開昭 56-43681 号公報に開示されている。上記光書込み型液晶素子は、図 7 に示すように、対向する一対のガラス基板 101a・101b が絶縁性のスペーサーシール 107・107 を介して対向配置され、その間に、ハイブリッド電界効果モードを用いた 45° にねじったネマティック液晶からなる液晶層 108 を挟持した構造となっている。

40 【0003】

上記のガラス基板 101a 上には、ITO (Indium Tin Oxide) 膜からなる透明電極 102a、CdS (硫化カドミウム) からなる光導電層 103、CdTe (テルル化カドミウム) からなる遮光層 104、多層誘導体ミラー層 105、SiO₂ (二酸化ケイ素) からなる不活性絶縁膜 106a が順に積層されており、また、他方のガラス基板 101b 上には、ITO 膜からなる透明電極 102b、SiO₂ からなる不活性絶縁膜 106b が順に積層されている。尚、上記不活性絶縁膜 106a・106b は、液晶層 108 内の液晶分子を所定の方向に配

(特開平 08-262476)

(3)

向させる配向膜であり、液晶材料と化学的電気的相互作用がないものとする。また、上記の透明電極 102a・102b 間には、光書込み型液晶素子を駆動するための交流電源 109 が接続されている。

【0004】

一般に、上記構成の光書込み型液晶素子は、例えば図 79 に示すように、プロジェクションシステムのライトバルブ (LV) 112 として使用される。

【0005】

上記プロジェクションシステムの動作原理を図 78 および図 79 を用いて説明する。先ず、画像形成手段としての CRT 113 から照射された光が、レンズ 114 を通って書込み光 110 となり、ライトバルブ 112 の光書込み側に結像される。

【0006】

このとき、光書込み型液晶素子の光書込み側では、光導電層 103 に任意の画像の書き込み光 110 が入射されると、光が入射された領域（明状態）では光電導層 103 のインピーダンスが減少し、交流電源 109 によって印加されている電圧のバランスがくずれ、液晶層 108 の方に電圧がシフトし、この領域の液晶層 108 の液晶は電気光学効果を引き起こし偏向する。一方、光が入射されていない領域（暗状態）では、光導電層 103 のインピーダンスは変化せず液晶層 108 の液晶の電気光学効果を引き起こすには不十分な電圧となる。このように、光の照射の有無に応じた光電導層 103 のインピーダンスの変化を利用して、部分的に液晶に電気光学効果を生じさせ、液晶層 108 の液晶を空間的に偏向させる。

【0007】

また、光書込み型液晶素子の読み出し側では、読み出光源 115 から照射される読み出し光 111a が偏光ビームスプリッタ 116 を通る際、読み出し光 111a が偏光され S 偏光成分の読み出し光 111b だけが偏光ビームスプリッタ 116 で反射されライトバルブ 112 の読み出し側に入射される。この S 偏光成分の読み出し光 111b は、液晶層 108 が電気光学効果を起こしていない領域に入射されても液晶層 108 で変調されないため S 偏光のままとなるので、多層誘電体ミラー層 105 によって反射されて偏光ビームスプリッタ 116 に再び入射される。偏光ビームスプリッタ 116 に再入射された読み出し光 111b は S 偏光であるため偏光ビームスプリッタ 116 により反射され読み出光源 115 に戻され、スクリーン 117 上では黒を表示する。液晶層 108 が電気光学効果を起こしている領域に入射されると、読み出し光 111b は偏光ビームスプリッタ 116 を透過し、スクリーン 117 上に、書込み光 110 の画像パターンに合致したパターンが投影される。

【0008】

ところが、上記光書込み型液晶素子の光導電層 103

(4)

に使用されている C d S は、光の入射によりキャリアが発生して電流が流れる速度、即ち光応答速度が数ミリ秒から数十ミリ秒と遅いため、例えばテレビジョンのような、高速な像の切り替えを必要とする装置には不向きであるという問題が生じた。また、C d S は、暗導電率が大きいためキャリアの横方向拡散が大きくなり高い解像度を得ることが困難であるという問題が生じた。

【0009】

さらに、上記構成の光書込み型液晶素子では、光導電層 103 と遮光層 104 と多層誘電体ミラー層 105 とが異種の物質であるので、それぞれの層の製造方法が異なり、各層の格子定数の不整合や熱膨張係数の違いにより、各層の密着性の低下が起こり、層剥離が起こりやすいという問題があり、光書込み型液晶素子の信頼性が低下した。また、C d S を使用する場合、それに含まれる硫黄成分によって真空装置の寿命が低下するという問題も生じた。

【0010】

そこで、光導電層の材料として、光応答速度が数十マイクロ秒と早く、且つ素子の再現性に優れている水素化非晶質シリコン膜を採用することが提案された。水素化非晶質シリコンは、C d S と同じ可視光波長領域に最大感度を持ち、また、暗導電率は C d S よりも小さく $10^9 \Omega^{-1} \text{cm}^{-1}$ 以下であるので、光書込み型液晶素子のコントラストを大幅に改善することができ、解像度を高くすることができると共に、再現性を向上させることができる。

【0011】

このように、光導電層に水素化非晶質シリコンを用いれば、光書込み型液晶素子の性能が大幅に改善されるが、水素化非晶質シリコンの光感度の不足のために実用化が困難とされていた。光感度は、明時のインピーダンス (Z_{photo}) と暗時のインピーダンス (Z_{dark}) との比 (Z_{dark}/Z_{photo}) として関係づけられ、この比が大きいほど良い。

【0012】

ところで、伝導型が真性の水素化非晶質シリコン (i 型) を用いた光導電層では、図 80 に示すように、ITO 膜に正バイアスを印加したときと負バイアスを印加したときとでは、暗電流および光電流とも、電圧-電流密度特性が非対称になっている。

【0013】

図 80 より、暗電流の両バイアス時における電流密度の絶対値は、負バイアス時の方が正バイアス時に比べて大きいことが分かる。これは、負バイアス時に ITO 膜からの電子の注入（キャリアインジェクション）が起こるためだと考えられる。一方、光電流の両バイアス時の電流密度は、負バイアス時の方が正バイアス時に比べて小さいことが分かる。これは、ITO 膜の界面付近に正孔が蓄積され易くなり、光励起された電子と正孔との再結合（リコンビネーション）が、正バイアス時よりも負

(特開平 08-262476)

(5)

バイアス時の方が起こり易くなり、水素化非晶質シリコン中のキャリアが減少するためだと考えられる。

【0014】

したがって、伝導型が真性の水素化非晶質シリコンを用いた光導電層では、暗時のインピーダンスが本来の導電率から算出されるインピーダンスよりも小さくなり、一方、明時のインピーダンスは本来の導電率から算出されるインピーダンスより大きくなり、この結果、明暗時のインピーダンス比が小さくなる。これにより、光導電層の光感度が不足し、良好な画像を得ることができない 10 という問題が生じた。

【0015】

そこで、水素化非晶質シリコンを用いた光導電層における光感度の向上を図った素子構造が以下の各公報に開示されている。

【0016】

例えば、特開昭58-34435号公報には、光導電層における光感度の向上を図る種々の素子構造が開示されている。即ち、上記公報には、図81(a)に示すように、透明電極膜121、金属薄膜122、水素化非晶質シリコン膜(i型)123b、水素化非晶質シリコン膜(n型)123c、遮光層124が順に積層された素子構造が開示されている。また、上記公報には、図81(b)に示すように、透明電極膜121、水素化非晶質シリコン膜(p型)123a、水素化非晶質シリコン膜(i型)123b、水素化非晶質シリコン膜(n型)123c、遮光層124が順に積層された素子構造が開示されている。また、上記公報には、図8181(c)に示すように、透明電極膜121、透明性絶縁層125、水素化非晶質シリコン膜(i型)123b、水素化非晶質シリコン膜(n型)123c、遮光層124が順に積層された素子構造が開示されている。

【0017】

したがって、図81(a)の素子構造では、金属薄膜122と水素化非晶質シリコン層(i型)123bとの接合によりショットキーバリアを形成し、図81(b)の素子構造では、水素化非晶質シリコン層はp i n構造となり、図81(c)の素子構造では、透明性絶縁層(I)125と水素化非晶質シリコン層(i n型)の積層となりI i n構造となる。

【0018】

これら三つの素子の両バイアス時における暗電流密度と明電流密度との関係を図82に示す。これら各素子構造、即ちショットキーバリア構造、p i n構造、I i n構造全てに共通して、透明電極からのキャリアインジェクションが阻止できるので、逆バイアスの電圧を印加したとき、即ち透明電極にマイナス電圧を印加したときでは、暗電流の電流密度が非常に小さくなっている。このことから、逆バイアスに電圧を印加した場合の暗時のインピーダンスが大きくなっていることが分かる。また、50

(6)

上述の素子構造では広義な意味でダイオードになっているので、光電流の絶対値の対称性は良いが、光が照射されると光導電層内に内部電位が発生し、光電流のゼロ点が正バイアス方向に数百mV～1V程度シフトしている。

【0019】

一方、透明電極に正バイアスの電圧を印加したとき、明時のインピーダンスは、図82に示すように、単にi型の水素化非晶質シリコン膜を用いたときよりも小さくなる。また、暗時のインピーダンスは、負バイアス時では高抵抗状態となっているが、正バイアス時では単にi型の水素化非晶質シリコンを用いたときよりも低抵抗状態となる。このため、結局、暗時のインピーダンスはi型の水素化非晶質シリコン膜よりも小さくなる。しかしながら、明時のインピーダンスの減少が大きく寄与しているので、明暗時のインピーダンス比は、単にi型の水素化非晶質シリコン膜を用いたときよりも、上記した素子構造、即ち広義な意味でのダイオード構造の方が大きくなる。よって、これらの素子構造を用いた光書き込み型液晶素子は、従来のものよりも光感度、コントラストを改善することができる。

【0020】

また、特開平4-261520号公報には、別の“液晶表示素子”が開示されている。上記の液晶表示素子は、図83に示すように、透明導電性膜132aと配向膜133aが積層されたガラス基板131aと、透明導電性膜132b、無機絶縁膜136bと水素化非晶質珪素膜137と無機絶縁膜136a、遮光層としての読出光反射膜135、配向膜133bが積層されたガラス基板131bとの間に、液晶層134を挟持した構造となっている。

【0021】

上記の光導電層は、水素化非晶質珪素膜137が無機絶縁膜136bと無機絶縁膜136aとによって挟持された構造となっているので、透明導電性膜132bからの水素化非晶質珪素膜137へのキャリアインジェクションを阻止すると共に、読出光反射膜135からの水素化非晶質珪素膜137へのキャリアインジェクションを阻止することができる。これにより、暗時の両バイアスでのインピーダンスを大きくすることができ、この結果、光感度を向上させることができる。

【0022】

ところで、上記特開昭58-34435号公報に開示されている光導電層の素子構造としての広義な意味でのダイオードは、ダイオードの整流性と内部電位の発生により液晶層に常時直流成分がかかることになる。このため、液晶層が劣化し表示特性が悪くなるという問題が生じる。

【0023】

これに対して、上記の特開平4-261520号公報

(特開平 08-262476)

(7)

の素子構造の光導電層によれば、エネルギー構造が対称型となっているので、書込み光を照射した場合に生じる内部電位を小さくすることができ、この結果、液晶層134の劣化を防止することができる。

【0024】

【発明が解決しようとする課題】

ところが、上記のように、水素化非晶質珪素膜137が無機絶縁膜136bと無機絶縁膜136aとによって挟持された構造となった光導電層では、全体のインピーダンスが大きくなっているので、整流素子に比べると光導電層側の透明電極132bに正バイアスを印加したときの光電流が小さくなる。したがって、上記の素子構造では、明時のインピーダンスを整流素子のように小さくすることができないという問題が生じている。これにより、明時のインピーダンス(Z_{photo})と暗時のインピーダンス(Z_{dark})との比(Z_{dark}/Z_{photo})が小さくなり、光感度を良好なものとすることはできないとう問題が生じる。

【0025】

そこで、例えば日本国公開特許公報である特開平3-223814号公報(特公平7-104522号公報)には、半導体の接合界面近傍の半導体の組成を連続的に変化させることで、接合界面での電荷移動度の低下を防止し得る光導電層が開示されている。

【0026】

しかしながら、上記公報の光導電層では、接合界面での電荷移動度の低下を防止することを目的として、半導体の接合界面近傍の半導体の組成を連続的に変化させており、光の屈折率を考慮して組成を連続的に変化させていないので、組成変化した部分と透明電極との接合界面で光の反射が生じ、このため、光導電層に入射される光の量が低減し、光導電層の光感度が低下するという問題が生じる。

【0027】

本発明は、上記問題点に鑑みてなされたものであって、その目的は、高光感度、高解像度、高コントラストの光書込み型液晶素子を提供することにある。

【0028】

【課題を解決するための手段】

請求項1の光書込み型液晶素子は、対向配置された一対の透明電極基板間に光導電層と液晶層とが形成された光書込み型液晶素子において、上記光導電層の書込み光の入射側および液晶層側には、光導電層の内外へのキャリアの侵入および流出を防止または抑制すると共に、光導電層に電圧が印加されたとき、光導電層の書込み光入射側領域に液晶層側領域よりも多くの電圧を印加させるキャリアブロッキング層が形成されていることを特徴としている。

【0029】

上記の構成によれば、光導電層の書込み光の入射側お

(8)

より液晶層側に形成されているキャリアブロッキング層によって、暗時には、電圧印加時に透明電極および液晶層側からのキャリアの侵入(キャリアインジェクション)や光導電層からのキャリアの流出が阻止または抑制されるので、光導電層は非常に高抵抗となり、暗電流が流れにくく高インピーダンスとなる。また、明時には、キャリアブロッキング層によって、電圧印加時に光導電層の書込み光入射側領域に多くの電圧を印加させるようになっているので、キャリア発生効率領域に効率良く電界が印加され、光導電層は低抵抗となり、光電流が流れやすく低インピーダンスとなる。

【0030】

一方、この光導電層は整流性を有していない。つまり、光入射側の光導電層では内部電位が発生しているが、液晶層側でのキャリア侵入防止層による光感度を低下させない程度の電圧ロスもあるのでp i n型素子のように内部電位は大きくならない。したがって、内部電位による液晶層にかかる直流成分を抑制することができるので、液晶層の延命化を図ることができ、この結果、光書込み型液晶素子の長寿命化が可能になる。

【0031】

また、上記の素子構造では、光導電層の明時のインピーダンス(Z_{photo})と暗時のインピーダンス(Z_{dark})との比(Z_{dark}/Z_{photo})が大きくなるので、従来のように暗時のインピーダンスを大きくした場合に比べて光導電層の光感度を向上させることができ、この結果、解像度も向上させることができる。また、光導電層のインピーダンス比(Z_{dark}/Z_{photo})が大きくなることで、明時の液晶層にかかる電圧を大きくすることができ、コントラストを向上させることができる。

【0032】

したがって、光導電層の光感度、解像度、コントラストを向上させることができるので、高光感度、高解像度、高コントラスト、長寿命の光書込み型液晶素子を提供することができる。

【0033】

請求項2の光書込み型液晶素子は、請求項1記載の光書込み型液晶素子において、上記キャリアブロッキング層によって形成される空乏層あるいは最大空乏層が、書込み光入射側領域に形成される空乏層あるいは最大空乏層の幅を W_L 、液晶層側領域に形成される空乏層あるいは最大空乏層の幅を W_{BL} としたとき、次の関係式、“ $W_L > W_{BL}$ ”を満たすことを特徴としている。

【0034】

上記の構成によれば、キャリアブロッキング層により形成される空乏層あるいは最大空乏層が、光導電層の書込み光入射側領域に形成される空乏層あるいは最大空乏層の幅が、液晶層側領域に形成される空乏層あるいは最大空乏層の幅よりも大きくなるように形成されているので、光導電層の書込み入射側領域を液晶層側領域よ

(特開平 08-262476)

(9)

りも高抵抗にすることができる。

【0035】

これにより、電圧印加時に、光導電層の書込み光入射側に多くの電圧が印加され、光電流が良く流れようになり、明時のインピーダンスを小さくすることができる。したがって、光導電層の明時のインピーダンス (Z_{photo}) と暗時のインピーダンス (Z_{dark}) との比 (Z_{dark}/Z_{photo}) が大きくなるので、従来のように暗時のインピーダンスを大きくした場合に比べて光導電層の光感度を向上させることができ、この結果、解像度も向上させることができる。

【0036】

請求項3の光書込み型液晶素子は、請求項1または2記載の光書込み型液晶素子において、光導電層の少なくとも書込み光の入射側領域に形成されるキャリアブロッキング層が、絶縁層で構成されていることを特徴としている。

【0037】

上記の構成によれば、光導電層の少なくとも書込み光の入射側領域に形成されるキャリアブロッキング層が、絶縁層で構成されていることで、電子のトンネル現象を除くキャリアの輸送がなくなる。これにより、透明電極からのキャリアインジェクションや透明電極へのキャリアの流出をほぼ完全に阻止することができる。

【0038】

また、絶縁層により、透明電極と光導電層との界面の屈折率の差を小さくすることができるので、書込み光の界面反射を小さくすることができ、この結果、書込み光を光導電層に有効に導入することができる。

【0039】

さらに、光導電層の少なくとも書込み光の入射側領域に形成されるキャリアブロッキング層が、絶縁層で構成されていることで、光導電層全体の膜の密着強度が向上する。

【0040】

請求項4の光書込み型液晶素子は、請求項1の光書込み型液晶素子において、上記光導電層の書込み光の入射側に形成されるキャリアブロッキング層が、超格子構造で構成されていることを特徴としている。

【0041】

上記の構成によれば、光導電層の書込み光の入射側に超格子構造を有することによって、従来の光導電層よりも光吸収係数が増加し、光伝導キャリアが増大する結果、明時のインピーダンスが従来の光導電層よりも小さくなり、明暗時のインピーダンス比が従来よりも大きくなる。さらに、超格子構造では、光導電層 ($a-Si:H$ 等) よりもワイドギャップの半導体材料 ($a-SiC:H$ 等) を使用するので、その分絶縁性が高くなることより、光導電層に電圧が印加されたとき、書込み光入射側領域に液晶層側領域よりも多くの電圧が印加されるよ

(10)

うになる。これらの結果、光書込み型液晶素子の高感度化、高コントラスト化、高解像度化が可能になる。

【0042】

請求項5の光書込み型液晶素子は、請求項1の光書込み型液晶素子において、上記光導電層の少なくとも書込み光の入射側に形成されるキャリアブロッキング層が、p型半導体とn型半導体との積層構造で構成されていることを特徴としている。

【0043】

上記の構成によれば、p型半導体とn型半導体との積層構造からなるキャリアブロッキング層を構成するp型半導体により、光導電層の内外への電子の侵入および流出が抑制されると共に、このp型半導体に積層されたn型半導体により、光導電層の内外へのホールの侵入および流出が抑制される。これにより、暗時にはキャリアの移動がほとんど無くなるので、暗時に非常に高抵抗にすることができ、したがって明暗時のインピーダンス比を従来の光導電層に比べて大きくできる。この結果、光書込み型液晶素子の高感度化、高コントラスト化、高解像度化が可能になる。

【0044】

請求項6の光書込み型液晶素子は、請求項1、2、3、4または5の光書込み型液晶素子において、上記光導電層の少なくとも液晶層側に形成されるキャリアブロッキング層が、当該光導電層と同じエネルギーギャップのp型の半導体で構成されていることを特徴としている。

【0045】

また、請求項7の光書込み型液晶素子は、請求項1、2、3、4または5の光書込み型液晶素子において、上記光導電層の少なくとも液晶層側に形成されるキャリアブロッキング層が、当該光導電層よりエネルギーギャップが大きいワイドギャップのi型もしくはp型の半導体で構成されていることを特徴としている。

【0046】

上記の請求項6および請求項7の構成によれば、光導電層の少なくとも液晶層側に形成されるキャリアブロッキング層が、この光導電層よりエネルギーギャップが大きいワイドギャップのi型もしくはp型の半導体、あるいは光導電層と同じエネルギーギャップのp型の半導体で構成されていることで、キャリアブロッキング層を光導電層の形成装置において連続成膜することができる、製造工程の簡略化を図ることができる。

【0047】

また、請求項7の素子の場合、ワイドギャップの半導体 (i型あるいはp型) 材料を用いることより、同じエネルギーギャップのp型の半導体を用いた場合よりも薄膜にことができる。これにより、駆動時 (電圧印加時) における余分な電圧ロスを無くすことができ、光電流を良く流すことができる。

【0048】

(特開平 08-262476)

(11)

請求項 8 の光書き込み型液晶素子は、請求項 1、2、3、6 または 7 の光書き込み型液晶素子において、上記光導電層が、書き込み光の入射側の透明電極側に形成された、当該光導電層よりエネルギーギャップが大きいワイドギャップの i 型もしくは p 型の半導体とヘテロ接合されている、あるいは当該光導電層と同じエネルギーギャップの p 型の半導体とホモ接合されていることを特徴としている。

【0049】

上記の構成によれば、キャリアブロッキング層が光導電層よりエネルギーギャップが大きいワイドギャップの i 型もしくは p 型の半導体、または光導電層と同じエネルギーギャップの p 型の半導体にて構成されているので、絶縁層の有無に依らず透明電極からのキャリアインジェクションを阻止することができる。この構成では、光導電層と半導体との接合部に空乏層が形成され、電圧印加時には液晶層側よりも高い電圧がかかる。また、キャリアブロッキング層を光導電層の形成装置で連続的成膜することができるので、光書き込み型液晶素子の製造工程を簡素なものとし、製造に係る費用を低減することができる。

【0050】

さらに、光入射により生成されるキャリア発生層（光導電層）が透明電極と直接接触していないので、透明電極との接触によって形成される界面準位の発生による光電流の低減を無くすことができる。

【0051】

請求項 9 の光書き込み型液晶素子は、請求項 1、2、3、6 または 7 の光書き込み型液晶素子において、上記光導電層の書き込み光の入射側に形成されるキャリアブロッキング層が、液晶層側に向かってエネルギーギャップが小さくなるチャーブ構造の i 型または p 型の半導体であることを特徴としている。

【0052】

上記の構成によれば、書き込み光の入射側のキャリアブロッキング層を上記のようなチャーブ構造とすることで、透明電極あるいは絶縁層と接する界面にホールが蓄積される部分を無くすことができる。これにより、光導電層で発生した電子がホールと再結合するのを抑制することができ、光電流を良く流すことができる。したがって、光導電層の光感度を向上させることができるので、光書き込み型液晶素子の光感度およびコントラストを向上させることができる。

【0053】

さらに、チャーブ半導体にすると、屈折率も光導電層に向かって変化させることができるので、書き込み光の反射を抑えることができ、この結果、書き込み光の有効利用ができるようになり、光感度を向上させることができる。

【0054】

請求項 10 の光書き込み型液晶素子は、請求項 1、2、

(12)

3、4、5、6、7、8 または 9 の光書き込み型液晶素子において、上記光導電層の書き込み光の入射側領域のドナー密度を N_{DI} 、液晶層側領域でのドナー密度を N_{DLC} としたとき、次の関係式、“ $N_{DI} < N_{DLC}$ ” を満たしていることを特徴としている。

【0055】

上記の構成によれば、光導電層の書き込み光の入射側領域のドナー密度を、液晶層側領域でのドナー密度より小さくすることで、光導電層の透明電極側領域に形成される空乏層幅あるいは最大空乏層幅が、光導電層の液晶層側領域に形成される空乏層幅あるいは最大空乏層幅よりも大きくなる。これにより、光導電層の書き込み光の入射側領域の方が、液晶層側領域よりも高抵抗となり、電圧が多く印加される。したがって、光導電層は、光電流が多く流れるので、光導電層の光感度を向上させることができる。

【0056】

請求項 11 の光書き込み型液晶素子は、対向配置された一対の透明電極基板間に光導電層と液晶層とが形成された光書き込み型液晶素子において、上記光導電層の書き込み光の入射側および液晶層側には、光導電層の内外へのキャリアの侵入および流出を防止または抑制するキャリアブロッキング層が設けられており、当該キャリアブロッキング層が p 型半導体と n 型半導体との積層構造で構成されていることを特徴としている。

【0057】

上記の構成によれば、光導電層の書き込み光の入射側および液晶層側に形成された両方のキャリアブロッキング層が、p 型半導体と n 型半導体との積層構造である。上記の p 型半導体によって光導電層の内外への電子の侵入および流出が抑制されると共に、この p 型半導体に積層された n 型半導体によって光導電層の内外へのホールの侵入および流出が抑制される。これにより、暗時にはキャリアの移動がほとんど無くなるので、暗時に非常に高抵抗にすることができ、したがって明暗時のインピーダンス比を従来の光導電層に比べて大きくできる。この結果、光書き込み型液晶素子の高感度化、高コントラスト化、高解像度化が可能になる。

【0058】

【発明の実施の形態】

【実施の形態 1】 本発明の一実施の形態について図 1 ないし図 16、図 71 および図 72 に基づいて説明すれば、以下の通りである。尚、本実施の形態を説明する前に、透明電極間に、光導電層と液晶層とを挟持した構造の光書き込み型液晶素子に使用されるキャリアブロッキング層の設計等の一般的な説明を行なう。

【0059】

従来、光導電層の材料として CdS が用いられていたが、本願では、CdS よりも光応答速度が速い等の理由から、CdS の代わりに水素化非晶質シリコン膜 (a -

(特開平 08-262476)

(13)

Si : H膜) を使用する。

【0060】

一般に、光書込み型液晶素子では、光感度が大きい程コントラストが高くなり画像の表示品位を向上させることができる。この光感度は、明時のインピーダンス (Z_{photo}) と暗時のインピーダンス (Z_{dark}) との比 (Z_{dark} / Z_{photo}) と関係づけられ、この比が大きいほど良いことが分かっている。

【0061】

ところが、水素化非晶質シリコン膜を光導電層として使用した場合、光感度の不足によるコントラストの低下等の問題が生じる。これは、前述の通り、伝導型が真性の水素化非晶質シリコン膜を用いた光導電層では、透明電極に正バイアス電圧を印加したときと負バイアス電圧を印加したときとでは、暗電流および光電流とも、電圧-電流密度特性が非対称になるためである。

【0062】

したがって、水素化非晶質シリコン膜を用いた光導電層では、暗時のインピーダンスが本来の導電率から算出されるインピーダンスよりも小さくなり、明時のインピーダンスは本来の導電率から算出されるインピーダンスより大きくなり、この結果、明暗時のインピーダンス比が小さくなる。このため、光導電層の明暗時のインピーダンス比が小さくなるので、光感度が不足し、良好な画像を得ることができないという問題が生じる。

【0063】

そこで、明暗時のインピーダンス比をより大きくするには、透明電極側からのキャリアインジェクションと、光導電層と液晶層との間に形成された遮光層からのキャリアインジェクションとを阻止し、暗時においても明時においても両バイアス時における電圧-電流密度特性の対称性を得ることが必要となる。

【0064】

先ず、透明電極側からのキャリアインジェクションの阻止は、透明電極と光導電層との間に、絶縁物を介在させる、光導電層よりもエネルギーギャップが大きいヘテロ系の半導体で高抵抗のn型かi型のものを介在させ、或いはホモやワイドヘテロ系の半導体でp型のものを介在させることで行なうことができる。

【0065】

一方、遮光層からのキャリアインジェクションの阻止は、遮光層と光導電層との間に絶縁層を入れるか、光導電層よりもエネルギーギャップが大きいヘテロ系の半導体で低抵抗過ぎないn型、i型またはp型のものを入れることで行なうことができる。また、光導電層と同じ材料を用いる場合には、p型半導体を入れることによって遮光層からのキャリアインジェクションを阻止することができる。

【0066】

ここで、透明電極側からのキャリアインジェクション 50

(14)

と遮光層からのキャリアインジェクションとを阻止するためには、それぞれ特有のブロッキング膜を用いるが、一般に、キャリアインジェクションの絶対値は透明電極側からと遮光層側からとでは異なり、遮光層側からのキャリアインジェクションの方が大きい。このため、遮光層からのキャリアインジェクションを阻止するためには、ブロッキング膜と光導電層のエネルギー・バンド構造が対称である場合では遮光層側のブロッキング膜を強く、即ちキャリアインジェクションを強固に阻止する必要がある。

【0067】

ところが、上記の方法では、透明電極側と遮光層側との両方向からのキャリアインジェクションを阻止することで、暗時のインピーダンスが大きくなり、光書込み型液晶素子としては好ましいが、反面、明時のインピーダンスは広義な意味でのダイオード素子のものに比べて光電流が減少（特に正バイアス時の光電流の減少が著しい）するため大きくなる。このため、上記の方法では、結局、明暗時のインピーダンス比は広義な意味でのダイオード素子と比べて変わらないかやや小さくなる。

【0068】

そこで、単に両方向からのキャリアインジェクションを阻止するだけでなく、明時には広義な意味でのダイオード素子と同程度の光電流を発生させる必要がある。

【0069】

このような理想的な光電流特性を有する光導電層を実現させるためには、次に示す (a) ~ (d) の何れかの構成を採用する等によって、遮光層側の高抵抗領域よりも透明電極側の高抵抗領域の方が広範囲となるよう 30 にし、透明電極側に形成される高抵抗領域の方に遮光層側よりも電圧が多く加わるようにすれば良い。

【0070】

(a) 広義な意味でのダイオード素子よりもさらに強調（不純物ドープ量の増加、膜厚を厚くする等）されたp層を作成し、これとi型光導電層との接合によりデブレッショングレイヤー（非常に高抵抗な領域：空乏層領域）を透明電極側に形成する。

【0071】

(b) 透明電極側に絶縁層を形成する場合、絶縁層の 40 膜厚を従来の膜厚よりも厚くし、これと光導電層との接合により非常に高抵抗な領域を形成する。

【0072】

(c) 透明電極側に光導電層のエネルギー・ギャップよりも大きいヘテロ系の材料を用いる場合には、高抵抗なn型層かi型層（いずれも従来のものよりも膜厚は厚くする）を用い、これと光導電層との接合を利用して高抵抗な領域を形成する。

【0073】

(d) 透明電極側に光導電層のエネルギー・ギャップよりも大きいヘテロ系の材料としてp層を用いる場合、従

(特開平 08-262476)

(15)

来よりも強調されたp層を用い、これとi型の光導電層とを接合してデプレッションレイヤーを形成する。

【0074】

上記のような構成にて光導電層に印加される電圧に偏りを生じさせる、即ち、透明電極側に形成される高抵抗領域の方に遮光層側よりも電圧が多く加わるようすれば、明時には広義な意味でのダイオード素子の特性に極めて近い特性を示し、明時のインピーダンスは小さくなる。且つ、暗時にはキャリアインジェクションを阻止することができるので、暗時のインピーダンスは従来の素子よりも大きくなる。したがって、明暗時のインピーダンス比は、従来のどの素子よりも大きくなり理想的な光導電層を作成することができる。

【0075】

また、理想的な光導電層を得るもう一つの方法は、次の通りである。

【0076】

先ず、透明電極側には、上記した絶縁層を用いるか、光導電層のエネルギーギャップよりも大きいヘテロ系の材料（高抵抗なn型層かi型層またはp型層）を用いるか、光導電層と同じエネルギーギャップの材料ならば高抵抗過ぎない抵抗値のp型層を用いるかによって、キャリアブロッキング層を設ける。

【0077】

一方、遮光層側には、上記では光導電層と遮光層との間に設けていたキャリアブロッキング層（例えば絶縁層か光導電層のエネルギーギャップよりも大きいヘテロ系の材料を用いる場合には高抵抗なn型層かi型層またはp型層、あるいは光導電層と同じエネルギーギャップの材料を用いる場合にはp型層）を、光導電層の内部に設ける。

【0078】

これにより、理想的な光導電層を実現できる。上記の構成では、光導電層側のキャリアインジェクションは透明電極側のキャリアブロッキング層により阻止でき、遮光層側からのキャリアインジェクションは光導電層内のキャリアブロッキング層により阻止できるので、両バイアス時で高抵抗状態となる。したがって、この素子の暗電流は、ほとんど流れない。また、光導電層では、透明電極側から書込み光が入射されると、当該光が光導電層内で指数関数的に吸収されるので、透明電極に近い程、多くのフォトキャリアが生成される。従って、光導電層内におけるフォトキャリアの生成量が少ない遮光層寄りの領域にキャリアブロッキング層を設けても、光導電層のフォトキャリア生成の点では特に問題にならない。

【0079】

よって、光導電層内の遮光層寄りにキャリアブロッキング層を設けても、キャリアブロッキング層が遮光層と光導電層との間に入っているものと同様、両バイアス時

(16)

とも光電流はよく流れる。

【0080】

また、これら上述の素子においては、光照射による内部電位の大きさが従来の素子に比べて非常に小さくなり、明時に液晶層に直流成分（DCバイアス）がほとんど残らず、信頼性の高い光書き込み型液晶素子が実現できる。

【0081】

ここで、理想的な光導電層を実現するためのキャリアブロッキング層の設計について、図16を参照しながら以下に説明する。尚、以下の説明において、透明電極201はITO膜とSnO₂膜からなる積層膜とし、光導電層202は透明電極201側からp型a-Si:H膜203a、i型a-Si:H膜204、p型a-Si:H膜203bを順に積層した積層膜とし、遮光層205としてはa-SiGe:H膜とする。また、外部印加電圧に関して、まずは直流電圧の場合について説明し、次に交流電圧の場合について説明する。

【0082】

先ず、キャリアブロッキング層の材料として光導電層202と同じ材料を用いた場合について説明する。この場合、光導電層202内の透明電極201側と遮光層205側とに形成される空乏層をブロッキング層とするものである。

【0083】

上記光導電層202において、透明電極201とp型a-Si:H膜203aとの接合によって形成されるa-Si:H膜203a側の空乏層が、透明電極201側のキャリアブロッキング層としての役割を果たすためには、以下の（1）式によって与えられる空乏層幅の膜厚が最低必要になる。

【0084】

$$W_p = \sqrt{(2 \epsilon_{SnO_2} \epsilon_{SiN_D} (V_{bi} - V) / q N_A (\epsilon_{SnO_2} N_D + \epsilon_{SiN_A}))} \quad \dots \dots (1)$$

ここで、 ϵ_{SnO_2} は透明電極201の誘電率、 ϵ_{Si} はa-Si:H膜の誘電率、 N_D は透明電極201中のドナー密度、 N_A はp型a-Si:H膜203a中のアクセプター密度、 V_{bi} は透明電極201とp型a-Si:H膜203aとの接合によって形成される拡散電位、 V は外部印加電圧、 q は素電荷である。また、 V_{bi} は、以下の（2）式によって与えられる。

【0085】

$$V_{bi} = (k_B T / q) \ln (N_A N_D / n_i^2) \quad \dots \dots$$

(2)

ここで、 k_B はボルツマン定数、 T は絶対温度、 n_i は真性キャリア密度である。したがって、（1）式で与えられる W_p は外部印加電圧 V に依存することが分かる。特に、SnO₂側を負のバイアスに印加したとき空乏層幅が減少する。このように、空乏層幅が減少すると透明

(特開平 08-262476)

(17)

電極 201 から光導電層 202 へのキャリアインジェクションが起こり易くなる。このことを防ぐために、透明電極 201 側に、負のバイアスが印加されているときの空乏層幅を加えることによってキャリアインジェクションを抑制する。このとき加えられる透明電極 201 側の空乏層幅は、上記 (1) 式によって求められる。

【0086】

ここで拡散電位および外部印加電圧以外の物性パラメータによる項を一つにまとめて α とし、以下の (3) 式に示す。

【0087】

$$\alpha \equiv 2 \varepsilon_{\text{SnO}_2} \varepsilon_{\text{Si}} N_D / q N_A (\varepsilon_{\text{SnO}_2} N_D + \varepsilon_{\text{Si}} N_A) \dots \dots \dots (3)$$

また、外部印加電圧が無い場合の空乏層幅: $W_{p v=0}$ と、外部印加電圧がある場合の空乏層幅: $W_{p v=V_{app}}$ の差: ΔW_p は、上記 (3) 式を用いて、以下の (4) 式に示す。

【0088】

$$\Delta W_p = W_{p v=0} - W_{p v=V_{app}} = \sqrt{(\alpha V_{bi})} - \sqrt{(\alpha (V_{bi} - V_{app}))} \dots \dots \dots (4)$$

したがって、透明電極 201 側からのキャリアインジェクションを阻止するための p 型 a-Si : H 膜 203 a の厚さは、 W_p と ΔW_p を加えた厚さになる。

【0089】

さらに、透明電極 201 側の p 型 a-Si : H 膜 203 a は、i 型 a-Si : H 膜 (実際は若干 n 型) 204 との接合、即ち p-i 接合によって空乏層を形成させ、この空乏層に電圧を掛ける目的もある。ここでは、p 型 a-Si : H 膜 203 a (p 層) と i 型 a-Si : H 膜 204 (i 層) の接合により形成される p 層側の空乏層幅と i 層側に形成される空乏層幅について説明する。p-i 接合による p 層側の空乏層幅: D_p は、以下の (5) 式の理論式によって与えられる。

【0090】

$$D_p = \sqrt{(2 \varepsilon_{\text{Si}} N_D (V_{bi} - V) / q N_A (N_A + N_D))} \dots \dots \dots (5)$$

ここで、 N_D は i 型 a-Si : H 膜 204 中のドナー密度、 V_{bi} は p 型 a-Si : H 膜 203 a と i 型 a-Si : H 膜 204 との接合によって形成される拡散電位である。上記の (5) 式から分かるように、p 層側の空乏層幅 D_p は、外部印加電圧に依存する。しかし、透明電極 201 と p 型 a-Si : H 膜 203 a との接合の場合は異なり透明電極 201 側に負のバイアスを印加したときには D_p が増加するようになっているので、特に意図的に p 型 a-Si : H 膜 203 a の膜厚を増やすようなことはしなくても良い。

【0091】

一方、i 型 a-Si : H 膜 204 側に形成される空乏層幅 D_n は、以下の (6) 式によって与えられる。

【0092】

(18)

$$D_n = \sqrt{(2 \varepsilon_{\text{Si}} N_A (V_{bi} - V) / q N_D (N_A + N_D))} \dots \dots \dots (6)$$

次に、光導電層 202 の遮光層 205 側に形成される空乏層について説明する。

【0093】

先ず、遮光層 205 からのキャリアインジェクションを阻止するために、i 型 a-Si : H 膜 204 と遮光層 205 (a-SiGe : H 膜) との間に設ける p 型 a-Si : H 膜 203 b の膜厚について説明する。a-SiGe : H 膜と p 型 a-Si : H 膜 203 b との接合により p 型 a-Si : H 膜 203 b 側に形成される空乏層幅: W_{BSi} は、以下の (7) 式の理論式により与えられる。

【0094】

$$W_{BSi} = \sqrt{(2 \varepsilon_{\text{Si}} \varepsilon_{\text{SiGe}} N_D (V_{bi} - V) / q N_A (\varepsilon_{\text{SiGe}} N_D + \varepsilon_{\text{Si}} N_A))} \dots \dots \dots (7)$$

ここで、 $\varepsilon_{\text{SiGe}}$ は a-SiGe : H 膜の誘電率、 N_D は a-SiGe : H 膜中のドナー密度である。このように、上記 (7) 式により算出される空乏層幅 W_{BSi} は、遮光層 205 側からのキャリアインジェクションを阻止するためには最低必要な膜厚となる。

【0095】

また、p 型 a-Si : H 膜 203 b と i 型 a-Si : H 膜 204 との接合部近傍においても空乏層が発生するので、この空乏層の幅も考慮する必要がある。そこで、p 型 a-Si : H 膜 203 b と i 型 a-Si : H 膜 204 との接合によって形成される p 型 a-Si : H 膜 203 b の空乏層幅: D_{Bi} は、以下の (8) 式の理論式によって与えられる。

【0096】

$$D_{Bi} = \sqrt{(2 \varepsilon_{\text{Si}} N_D (V_{bi} - V) / q N_A (N_A + N_D))} \dots \dots \dots (8)$$

一方、i 型 a-Si : H 膜 204 に形成される空乏層幅: D_{Bi} は、以下の (9) 式の理論式によって与えられる。

【0097】

$$D_{Bi} = \sqrt{(2 \varepsilon_{\text{Si}} N_A (V_{bi} - V) / q N_D (N_A + N_D))} \dots \dots \dots (9)$$

以上のように、上記 (7) 式で求められる空乏層幅 W_{BSi} に、上記 (8) 式および (9) 式で求められる空乏層幅 D_{Bi} および D_{Bi} を加えた膜厚が光導電層 202 の遮光層 205 側に形成されるキャリアブロッキング層の膜厚となる。

【0098】

一般に、光書き込み型液晶素子においては、実際に駆動されるとき、光導電層 202 に印加される電圧が、空乏層の領域にかかるようになっている。また、書き込み光の照射によって光導電層 202 において形成されるキャリアは、透明電極 201 側から遮光層 205 側に向かって指數関数的に減少するので、効率良く光電流を得るには、透明電極 201 側に印加される電圧を遮光層 205

(特開平 08-262476)

(19)

側のそれよりも大きくする必要がある。このように光導電層202の透明電極201側に印加する電圧をより大きくするには、光導電層202の透明電極201側に形成される空乏層幅を、光導電層202の遮光層205側に形成される空乏層幅よりも大きくする必要がある。以下に、光導電層202の透明電極201側の空乏層幅を遮光層205側のそれよりも大きくする方法を示す。

【0099】

■ 透明電極201側のp型a-Si:H膜203a中のアクセプター密度を大きくし、p-i接合によって生じる拡散電位を大きくする。尚、透明電極201側のp型a-Si:H膜203a中のアクセプター密度を小さくする場合には、p型a-Si:H膜203aの膜厚を厚くすれば良い。

【0100】

■ 透明電極201側のi型a-Si:H膜204中のドナー密度を小さくし、p-i接合によって形成される空乏層幅を大きくする。

【0101】

■ 透明電極201側のp型a-Si:H膜203aの膜厚を、透明電極201に外部電圧が印加されないときの空乏層幅の理論値よりも大きくする。これにより、特にp-i接合に逆バイアスの電圧が印加されて減少する空乏層幅が考慮される。

【0102】

このように、上記の■～■の方法によって透明電極201側に設けられたp型a-Si:H膜203aは、透明電極201側からのキャリアインジェクションを阻止するだけでなく、透明電極201側の空乏層を大きくすることで光導電層202の透明電極201側の領域に重点的に電圧を印加することができる。

【0103】

さらに、光導電層202の透明電極201側の領域に重点的に電圧を印加させるためには、光導電層202の遮光層205側に設けられたp型a-Si:H膜203bと遮光層205との接合によって形成される空乏層幅とp型a-Si:H膜203bとi型a-Si:H膜204との接合によって形成される空乏層幅をできるだけ小さくして余分な電圧ロスを防止することによって可能となる。以下に、電圧ロスを最小に抑える方法を示す。

【0104】

■’ 遮光層205側のp型a-Si:H膜203b中のアクセプター密度を、透明電極201側のp型a-Si:H膜203a中のアクセプター密度よりも小さくし、p-i接合によって生じる拡散電位を透明電極201側のp-i接合によって生じる拡散電位よりも小さくする。

【0105】

■’ 遮光層205側のp型a-Si:H膜203b

(20)

の膜厚を、遮光層205との接合によって形成されるp型a-Si:H膜203bの空乏層幅とp-i接合によって形成されるp型a-Si:H膜203bの空乏層幅とを加えたものとする。尚、上記の各空乏層は、外部印加電圧が無い場合の理論値とする。

【0106】

■’ i型a-Si:H膜204の遮光層205側でのドナー密度を、透明電極201側でのドナー密度よりも大きくし、p-i接合によって形成される空乏層幅を、透明電極201側のp-i接合によって形成される空乏層幅よりも小さくする。

【0107】

このように、上記■’～■’の方法によって遮光層205側のキャリアアロッキング層は、単に遮光層205からのキャリアインジェクションを阻止するだけでなく、遮光層205側でのキャリアアロッキング層としての空乏層幅ができるだけ小さくして、余分な電圧ロスを抑制している。これにより、光導電層202の透明電極201側の領域に重点的に電圧を印加することができる。

【0108】

以上の述べた理論は、直流電圧での概念であるが、上記理論を交流電圧に適用しても同様の効果を得ることができる。これは、一般に空乏層が静電容量を有することに起因し、単に静電容量の直列接続の場合ならば静電容量が小さい方が電圧の印加が大きくなるためである。この空乏層の静電容量：Cは、以下の(10)式の基礎理論式によって与えられる。

【0109】

$$C = \epsilon_{Si} S / W \quad \dots \quad (10)$$

ここで、Sは空乏層の断面積、Wは空乏層幅である。また、コンデンサーのインピーダンス：Zは、以下の(11)式の交流の基礎理論式によって与えられる。

【0110】

$$Z = 1 / \omega C \quad \dots \quad (11)$$

ここで、 ω は角振動数であって $2\pi f$ で与えられる。fは交流の駆動周波数である。上記(11)式に(10)式を代入すると、以下の(12)式となる。

【0111】

$$Z = W / \omega \epsilon_{Si} S \quad \dots \quad (12)$$

上記(12)式によれば、空乏層幅とインピーダンスとは比例関係となっていることが分かる。したがって、透明電極201側のp-i接合によって形成される空乏層幅を、遮光層205側に形成される空乏層幅よりも大きくするという意味は、ここにある。

【0112】

以下に、具体的な空乏層の静電容量について説明する。光導電層202の透明電極201側のp-i接合による空乏層の静電容量：C_{WPi}と、遮光層205側のp-i接合による空乏層の静電容量：C_{DBPi}とは、以下の(13)

(特開平 08-262476)

(21)

式および(14)式の理論式によって与えられる。

【0113】

$$C_{WPi} = \sqrt{(q \epsilon_{Si} N_{ND} / 2 (N_A + N_D) (V_{bi} - V))} \quad \dots \quad (13)$$

$$C_{DBpi} = \sqrt{(q \epsilon_{Si} N_{ND} / 2 (N_A + N_D) (V_{bi} - V))} \quad \dots \quad (14)$$

ここで、 N_D は i 型 a-Si : H 膜 204 中のドナー密度であるが、(13)式中の N_D と (14)式中の N_D とでは、その絶対値は異なる。即ち、i 型 a-Si : H 膜 204 中のドナー密度は、透明電極 201 側と遮光層 205 側とで異なっており、(13)式中の $N_D < (14)$ 式中の N_D の関係が常に成立つようになっている。また、p 型 a-Si : H 膜 203a・203b 中のアクセプター密度 N_A は、 N_D や空乏層幅との関係によってある程度自由に選択できるようになっている。さらに、上記 C_{WPi} と C_{DBpi} との大小関係は、常に、 $C_{WPi} < C_{DBpi}$ を満足させる必要がある。

【0114】

尚、光導電層 202 近傍の静電容量を考える場合、厳密には、透明電極 201 と p 型 a-Si : H 膜 203a との接合による空乏層 (W_{Pi}) の静電容量と、遮光層 205 と p 型 a-Si : H 膜 203b との接合による空乏層 (W_{BSi}) の静電容量とを考慮する必要がある。しかしながら、これらの空乏層の幅は、上記した光導電層 202 の透明電極 201 側の p_i 接合による空乏層および遮光層 205 側の p_i 接合による空乏層の幅と比較して、非常に小さいので、分配される電圧も極めて小さくなることから無視しても差し支えない。

【0115】

次に、透明電極 201 側に、p 型 a-Si : H 膜 203a の代わりに p 型のワイドギャップ半導体を用いた場合の空乏層幅と、この空乏層の静電容量について説明する。

【0116】

透明電極 201 側のワイドギャップ半導体の膜厚は、このワイドギャップ半導体と i 型 a-Si : H 膜 204 との接合によって形成される空乏層幅によって決まるものであり、ワイドギャップ半導体に形成される空乏層幅分の膜厚が必要となる。

【0117】

例えばワイドギャップ半導体として a-SiC : H 膜を用いた場合について説明する。この a-SiC : H 膜を用いたときのワイドギャップ半導体に形成される空乏層幅 : W_{PSiC} は、以下の (15) 式の理論式によって与えられる。

【0118】

$$W_{PSiC} = \sqrt{(2 \epsilon_{Si} \epsilon_{SiC} N_{ND} (V_{bi} - V) / q N_A (\epsilon_{Si} N_D + \epsilon_{SiC} N_A))} \quad \dots \quad (15)$$

i 型 a-Si : H 膜 204 に形成される空乏層幅 : W_{iSi} は、以下の (16) 式の理論式によって与えられる。

(22)

【0119】

$$W_{iSi} = \sqrt{(2 \epsilon_{Si} \epsilon_{SiC} N_{ND} (V_{bi} - V) / q N_A (\epsilon_{Si} N_D + \epsilon_{SiC} N_A))} \quad \dots \quad (16)$$

したがって、透明電極 201 側の光導電層 202 に電圧が印加される領域は、上記 (15) 式および (16) 式によって求められる空乏層幅の領域となる。この空乏層幅の静電容量 : C_{WPi} は、以下の (17) 式によって与えられる。

10 【0120】

$$C_{WPi} = \sqrt{(q \epsilon_{Si} \epsilon_{SiC} N_{ND} / 2 (\epsilon_{Si} N_D + \epsilon_{SiC} N_A) (V_{bi} - V))} \quad \dots \quad (17)$$

以上のように、遮光層 201 側にキャリアアブロッキング層としての p 型 a-Si : H 膜 203a の代わりにワイドギャップ半導体を用いた場合、上記 (15) 式、(16) 式および (17) 式によって求められる空乏層幅および静電容量に基づいて、ワイドギャップ半導体の膜厚の設計ができる。このワイドギャップ半導体の膜厚の設計にあたっては、上記と同様、光導電層 202 の透明電極 201 側により高い電圧を印加させるため、透明電極 201 側の静電容量 C_{WPi} を遮光層 205 側の静電容量よりも小さくすることが必要である。

【0121】

次に、キャリアアブロッキング層として光導電層 202 の透明電極 201 側および遮光層 205 側に絶縁膜 (図示せず) を用いた場合について説明する。

【0122】

一般に、理想的な絶縁膜では、電子のトンネル現象を除けばキャリアの輸送は無いと考えられる。これにより、30 絶縁膜と半導体との接合によって形成される空乏層幅 (W_{ISi}) や静電容量 (C_{ISi}) は、以下の (18) 式および (19) 式によって与えられる。

【0123】

$$W_{ISi} = \sqrt{(2 \epsilon_{Si} \phi_S / q N_D)} \quad \dots \quad (18)$$

$$C_{ISi} = \epsilon_1 / \{ t_1 + (\epsilon_1 / \epsilon_{Si}) (2 \epsilon_{Si} \phi_S / q N_D) \} \quad \dots \quad (19)$$

ここで、 ϵ_1 は絶縁膜の誘電率、 t_1 は絶縁膜の膜厚である。また、 ϕ_S は表面ポテンシャルであり、下記の (20) 式にて示される。

40 【0124】

$$\phi_S = 2 k_B T 1 n_i (N_D / n_i) \quad \dots \quad (20)$$

この場合でも、光導電層 202 の透明電極 201 側に遮光層 205 側より高い電圧を印加させるためには、光導電層 202 の透明電極 201 側の空乏層幅を、遮光層 205 側の空乏層幅よりも大きくする必要がある。そこで、以下にその方法を示す。

【0125】

■ 透明電極 201 側の絶縁膜と接合する a-Si : H 膜 203a のドナー密度を、遮光層 205 側の絶縁膜と接合する a-Si : H 膜 203b のドナー密度よ

(特開平 08-262476)

(23)

りも小さくする。

【0126】

■” 透明電極 201 側に設ける絶縁膜の厚みを、遮光層 205 側に設ける絶縁膜の厚みよりも大きくする。

【0127】

■” 透明電極 201 側に設ける絶縁膜の誘電率を、遮光層 205 側に設ける絶縁膜の誘電率よりも小さくする。

【0128】

このような上記■”～■” の方法を用いれば、透明電極 201 側の空乏層幅を大きくすることや静電容量を小さくすることができ、遮光層 205 側での余分な電圧ロスを防ぐことができる。これにより、光導電層 202 の透明電極 201 側に遮光層 205 側より高い電圧を印加することができる。

【0129】

以上のことから、光導電層 202 の両端に絶縁膜をキャリアブロッキング層として設けた場合、遮光層 205 側にワイドギャップ半導体や伝導型の異なる同じ材料の半導体をキャリアブロッキング層として設けた場合、あるいは透明電極 201 側にワイドギャップ半導体や絶縁膜とワイドギャップ半導体との積層膜をキャリアブロッキング層として設けた場合であっても、光導電層 202 の透明電極 201 側に形成される空乏層幅を遮光層 205 側に形成される空乏層幅よりも大きくするか、あるいは光導電層 202 の透明電極 201 側に形成される空乏層の静電容量を遮光層 205 側に形成される空乏層の静電容量よりも小さくすることで、光導電層 202 の透明電極 201 側に高い電圧が印加されるようになっている。

【0130】

したがって、このように設計された光導電層 202 は、明時には広義な意味でのダイオード素子の特性に極めて近い特性を有し、明時のインピーダンスは小さくなる。また、透明電極 201 および遮光層 205 からのキャリアインジェクションを阻止することができるので、暗時のインピーダンスは、従来の素子よりも大きくなる。この結果、明暗時のインピーダンス比は、従来のどの素子よりも大きくすることができるので、理想的な光導電層 202 を得ることができ、この光導電層 202 を使用した光書込み型液晶素子の性能を大幅にアップすることができる。

【0131】

また、上記のように設計されたいずれの光導電層 202 であっても、光照射による内部電位の大きさは従来の素子に比べて非常に小さくなり、明時に液晶層に直流成分 (DCバイアス) が余りかかるない。したがって、この光導電層 202 を使用すれば、信頼性の高い光書込み型液晶素子が得られる。

【0132】

(24)

以上の設計条件を満たすキャリアブロッキング層を有する光導電層を備えた光書込み型液晶素子としては、次の 2 種類の構造が考えられる。即ち、一つは、キャリアブロッキング層を光導電層の両側に設けたものである。もう一つは、透明電極側のキャリアブロッキング層を光導電層の端部に設ける一方、遮光層側のキャリアブロッキング層を光導電層の内部に設けたものである。この 2 つの構造の光書込み型液晶素子におけるエネルギーーバンドダイヤグラムを、図 4 (a) ないし図 4 (c)、図 5 (a) ないし図 5 (c)、図 71 および図 7272 に示す。

【0133】

図 4 (a) ないし図 4 (c) は、光導電層 73 の両側にキャリアブロッキング層 72・74 が設けられた素子構造のエネルギーーバンドダイヤグラムを示す。尚、図 71 は、成膜時におけるエネルギーーバンドダイヤグラムであり、これが熱平衡状態に達すると図 4 (a) に示すエネルギーーバンドダイヤグラムになる。また、図 5 (a) ないし図 5 (c) は、一方のキャリアブロッキング層 74 が光導電層 73a・73b 間に設けられた素子構造のエネルギーーバンドダイヤグラムを示す。尚、図 72 は、成膜時におけるエネルギーーバンドダイヤグラムであり、これが熱平衡状態に達すると図 5 (a) に示すエネルギーーバンドダイヤグラムになる。

【0134】

図 4 (a) ないし図 4 (c) に示す素子構造では、図 4 (a) に示す熱平衡状態、図 4 (b) に示す正バイアス印加状態、図 4 (c) に示す負バイアス印加状態から、暗時の場合には、正バイアス時も負バイアス時もキャリアブロッキング層 72・74 によって透明電極 71 および遮光層 75 からのキャリアインジェクションが阻止されていることが分かる。これによって、光導電層 73 の暗状態の部分は、非常に高抵抗となり暗電流が流れにくいハイインピーダンスの状態となる。一方、明時の場合には、光導電層 73 の透明電極 71 側に遮光層 75 側よりも広い空乏層が形成されているので、光導電層 73 の透明電極 71 側に多く電圧が印加され、光電流を効率良く得ることができ、しかも内部電位の大きさも小さくなっている。これによって、光導電層 73 の明状態の部分は、インピーダンスが従来の素子構造のものに比べて小さくなっている。また、図 5 (a) ないし図 5 (c) に示す素子構造においても、同様の効果を得ることができる。

【0135】

以上のように本発明の素子構造では明暗時のインピーダンス比は従来開発されたもの (広義な意味でのダイオード素子も含めて) よりも大きくなり、光感度を大幅に改善することができる。この結果、光書込み型液晶素子に本発明の素子を適用すると光導電層の光感度の向上に伴い光書込み型液晶素子としても光感度が改善で

(特開平 08-262476)

(25)

きる。

【0136】

また、光導電層の明暗時のインピーダンス比が大きくなることで特に明時の液晶層にかかる電圧が大きくなりコントラストが従来のものよりも大きくなる。さらに、従来の素子に比べて内部電位の発生が小さくなるため液晶層にかかる直流成分を抑制することができ光書き込み型液晶素子の長寿命化が可能になる。

【0137】

さらに、光導電層の飛躍的な性能向上に伴って、光導電層の光感度が良くなるので、低い駆動電圧によっても光書き込み型液晶素子の動作が可能になり、光書き込み型液晶素子の駆動電圧の低電圧化を可能にし、この結果、省電力化を可能にする。また、この光導電層は温度依存性の大きい整流性の素子ではないので、温度に対しての性能のブレが非常に小さく、この結果、温度依存性も小さくなる。

【0138】

本実施の形態1では、光導電層の両側にキャリアプロッキング層として絶縁膜を用いた素子構造を有する光書き込み型液晶素子についての説明を行ない、他の素子構造については、実施の形態2以下に示す。

【0139】

本実施の形態に係る投射型の液晶表示装置は、図3に示すように、液晶ライトバルブ(光書き込み型液晶素子)1を備えている。この液晶ライトバルブ1は、光の入射によりインピーダンスが変化する光導電層、前面側から入射してくる光(読み出し光R)を反射する光反射層、および液晶層を有しており、背面側から書き込み光Wを受けると、その領域が、光導電層のインピーダンスの変化により液晶層部分においてその配向状態、つまり光学的特性を変えるという機能を有している。即ち、液晶ライトバルブ1は、CRT等の画像形成デバイスからの書き込み光Wが入射されると、書き込み画像に応じて液晶が変調される。尚、上記液晶ライトバルブ1の光導電層についての詳細は後述する。

【0140】

また、液晶ライトバルブ1は、表示モードとしてハイブリッドフィールドエフェクトモード(以下、HFEモードと略記)によって駆動される。このため、液晶ライトバルブ1の前面には、偏光ビームスプリッタ2が配されている。そして、読み出し光源5から発せられ、レンズ6にて集光される読み出し光Rを、偏光ビームスプリッタ2で直接偏光して液晶ライトバルブ1に入射させるようになっている。

【0141】

この偏光ビームスプリッタ2を挟んで液晶ライトバルブ1との対向位置には、レンズ3が配され、さらにこのレンズ3の前方には、スクリーン4が配されている。

【0142】

(26)

したがって、上記構成の投射型の液晶表示装置では、CRT等の画像形成デバイスからの書き込み光Wが、液晶ライトバルブ1の背面側に入射され、液晶ライトバルブ1に画像が形成される。一方、読み出し光源5から照射される光は、レンズ6で集光された後、偏光ビームスプリッタ2で直接偏光されて読み出し光Rとして、液晶ライトバルブ1の前面側に入射される。入射された読み出し光Rは、液晶ライトバルブ1内の光反射層によって前面側に再び反射される。このとき、液晶ライトバルブ1の液晶層のうち、書き込み光Wを受けた画素に対応する液晶層部分では、液晶の配向状態が変化している。したがって、この画素部分に入射された読み出し光Rは、光反射層により反射された後、入射時と偏光方向が変わっており、偏光ビームスプリッタ2を透過することができる。この透過光は、レンズ3で拡大され、スクリーン4に照射される。

【0143】

つまり、上記投射型の液晶表示装置は、液晶ライトバルブ1がHFEモードによって駆動されているので、液晶層内では、正の誘電異方性をもつネマティック液晶が45°にねじられた配向状態となっており、液晶層に電圧が印加されている場合、液晶分子は電界応答し基板法線方向にティルトして行き、入射した光は液晶分子のティルトとツイストからくる複屈折効果と反射により偏光方向が回転する。この回転を受けた光が偏光ビームスプリッタ2を透過しスクリーン4は明状態になる。一方、電圧が印加されない場合、液晶の旋光性によって、液晶層に入射された光は、反射されても入射時の偏光方向が保持されるため偏光ビームスプリッタ2を透過できないので、画像が投射されずにスクリーン4上は暗状態となる。以上のことから、液晶ライトバルブ1に形成された画像が、レンズ3を介してスクリーン4に拡大投影されるようになっている。

【0144】

ここで、上記液晶ライトバルブ1の構造について以下に説明する。

【0145】

液晶ライトバルブ1は、図2に示すように、絶縁性透明基板としてのガラス基板11a・11bを、絶縁性の樹脂等からなるスペーサー20・20を介して対向配置し、その間に液晶層2を挟持した構造となっている。

【0146】

上記ガラス基板11aは、光(書き込み光W)の入射面側に光の反射を防止する反射防止膜12aが形成されている。また、ガラス基板11aの反射防止膜12aの形成面と反対面側には、ITO膜13aとSnO₂膜14とからなる透明電極31、キャリアプロッキング層15、光導電層16、キャリアアプロッキング層17、遮光層18、多層膜誘電体ミラー層19、配向膜21aが順

(特開平 08-262476)

(27)

に積層されている。

【0147】

一方、ガラス基板11bは、ガラス基板11aと同様に光(読み出し光R)の入射面側に光の反射を防止する反射防止膜12bが形成されている。また、ガラス基板11bの反射防止膜12bの形成面と反対面側には、ITO膜13b、配向膜21bが順に積層されている。

【0148】

上記ガラス基板11aの透明電極31とガラス基板11bのITO膜13bとには、図示しない電源が接続されており、液晶ライトバルブ1を駆動するようになっている。

【0149】

つまり、上記液晶ライトバルブ1は、電源により透明電極31およびITO膜13bに電圧が印加された状態で、書き込み光Wがガラス基板11a側から入射されると、入射された書き込み光Wの光の強度に応じて、光導電層16内にキャリアが発生する。これによって、キャリアの発生した部位に対応した液晶層22の液晶の配向状態が変わる、即ち変調される。この状態で、読み出し光Rがガラス基板11b側から入射されると、液晶層22内で電界が印加された部位で読み出し光Rが偏光される。そして、偏光された読み出し光Rは、多層膜誘電体ミラー層19にて反射され、再びガラス基板11bから出射される。

【0150】

ここで、上記液晶ライトバルブ1の製造方法について、以下に説明する。

【0151】

先ず、絶縁性透明基板として、例えばコーニング社製7059研磨ガラスからなるガラス基板11a上に、スパッタリング法により、In₂(Sn)O₃からなるITO膜13aを1000Å、SnO₂(アンチモン(s b)ドープ)膜14を300Å積層して透明電極31を形成し、この上に電子ビーム(EB)蒸着法によりTiO₂からなる無機絶縁膜としてのキャリアブロッキング層15を850Åの厚さに蒸着した。

【0152】

次いで、プラズマCVD法(化学気相成長法)により水素化非晶質シリコン層からなる光導電層16を次のようにして厚さ10μm堆積した。即ち、光導電層16は、SiH₄ガスを反応炉に導入し、高周波電力(13.56MHz)を印加してグロー放電分解し、a-Si:H膜を堆積した。このようにして得られたa-Si:H膜は、優れた光導電性を示し、電気測定した場合、 σ_{dark} (暗導電率) = $2.0 \times 10^{-12} \Omega^{-1} \text{cm}^{-1}$ 、 σ_{photo} (明導電率、 $250 \mu \text{W/cm}^2$ 照射下) = $2.4 \times 10^{-7} \Omega^{-1} \text{cm}^{-1}$ である。

【0153】

次に、このa-Si:H膜上に、EB蒸着法によりT

30

iO₂からなる無機絶縁膜としてのキャリアブロッキング層17を前記のキャリアブロッキング層15の蒸着と同条件で300Åの厚さに蒸着した。

【0154】

次いで、遮光層(a-SiGe:H膜)18をプラズマCVD法により5000Å堆積した。即ち、遮光層18は、SiH₄ガスとGeH₄ガスとを反応炉に導入し、グロー放電分解し、a-SiGe:H膜を堆積した。こうして得られたa-SiGe:H膜は優れた遮光性を示す。即ち、a-SiGe:H膜は、光波長650nmに対して α (光吸収係数) = $1.9 \times 10^5 \text{cm}^{-1}$ を示す。

【0155】

そして、遮光層18上に、低屈折率材料の膜と高屈折率材料の膜とを光学条件 $\lambda/4 = (n_d)$ で交互に積層してなる多層膜誘電体ミラー層19を形成した。ここでは、EB蒸着法により、低屈折率材料の膜としてSiO₂(二酸化ケイ素)膜と高屈折率材料の膜としてTiO₂(二酸化チタン)膜とを交互に積層して12層に堆積した。SiO₂膜の膜厚およびTiO₂膜の膜厚は、読み出し光Rの中心波長によって決定される。例えば、読み出し光Rの中心波長が550nmの場合(緑領域の波長の光)では、SiO₂膜の膜厚が940Å、TiO₂膜の膜厚が590Åとなる。

【0156】

その後、多層膜誘電体ミラー層19上に、ポリイミド膜からなる配向膜21aを印刷法により700Å形成する。このようにして形成された配向膜21aは、ラビング工程を通じて配向処理が施される。

【0157】

一方、他方の絶縁性透明基板としてのガラス基板11b上に、スパッタリング法により、透明電極31としてのIn₂(Sn)O₃からなるITO膜13bを1000Å積層する。この上に、配向膜21bを配向膜21aと同様の方法で700Å形成し、ラビング工程を通じ配向処理を施す。尚、上記のガラス基板11bは、ガラス基板11aと同様のコーニング社製7059研磨ガラスを使用する。

【0158】

尚、上記配向膜21aおよび配向膜21bのラビング方向は、一方に対して45°回転させたアンチパラレル方向とする。

【0159】

上記のように構成された書き込み側の基板、即ちガラス基板11a側にスペーサを散布し、ガラス基板11aとガラス基板11bとをスペーサシール20・20を介して貼り合わせる。こうして基板を貼り合わせて得られる3μmのセル厚領域に、正の屈折率異方性をもつ液晶を真空注入して、光書き込み型液晶素子としての液晶ライトバルブ1を得る。

【0160】

(特開平 08-262476)

(29)

このように製造した液晶ライトバルブ 1 の光導電層 1 6 近傍のエネルギー・バンド・ダイヤグラムは、図 1 に示すように、光導電層 1 6 の両側に設けられたキャリア・ブロッキング層 1 5 およびキャリア・ブロッキング層 1 7 で伝導帯の下端のエネルギー準位が高くなっている。この場合、上記したように、キャリア・ブロッキング層 1 5 の厚みは 850 Å、キャリア・ブロッキング層 1 7 の厚みは 300 Å となっている。これは、遮光層 1 8 側のキャリア・ブロッキング層 1 7 は、遮光層 1 8 からのキャリア・インジェクションを阻止するだけの膜厚にしているのに対し、透明電極 3 1 側のキャリア・ブロッキング層 1 5 は、透明電極 3 1 からのキャリア・インジェクションを阻止するだけでなく光導電層 1 6 の透明電極 3 1 側に高抵抗領域を形成させるための膜厚を必要としているためである。

【0161】

上記のようにして作製した光書き込み型液晶素子の光書き込み側の光導電層と遮光層 1 8 との積層膜の明暗時のインピーダンスと、光書き込み型液晶素子をプロジェクションとして用いた場合の読み出し光の反射特性について、図 6 ないし図 9 に基づいて以下に説明する。

【0162】

先ず、光書き込み型液晶素子の明暗時のインピーダンスと交流電圧との関係を図 6 に示す。尚、光書き込み型液晶素子に対して、駆動周波数 560 Hz の交流電圧を 0.2 V ~ 8.0 V まで変化させて印加するものとする。

【0163】

図 6 から、暗時のインピーダンスは印加電圧には関わらず $7 \times 10^6 \Omega$ の一定値をとり、明時のインピーダンスは印加電圧が大きくなるに伴い大きくなっていることが分かる。実際に、光書き込み型液晶素子として、この積層膜に印加される電圧は暗時でおよそ 3.0 V、明時でおよそ 1.5 V 程度である。従って、 Z_{photo} (書き込み光強度: $250 \mu W/cm^2$) = $8 \times 10^5 \Omega$ 、 $Z_{dark} = 7 \times 10^6 \Omega$ となるので、明暗時のインピーダンス比は 8.75 となり、従来のもの (後述の表 2 に示す比較例参照) よりもインピーダンス比が大きくなっている。

【0164】

また、光書き込み型液晶素子の両バイアス時での電流密度を明暗時について測定した結果を、図 7 および図 8 に示す。尚、図 7 は、光導電層 1 6 のみの電流密度を示し、図 8 は、光導電層 1 6 と遮光層 1 8 を積層した状態での電流密度を示すものとする。

【0165】

図 7 および図 8 から、光導電層 1 6 のみの場合と、光導電層 1 6 と遮光層 1 8 を積層した場合とも、暗時は、両バイアスで高抵抗を示し、しかも対称的な状態となっていることが分かる。

【0166】

また、明時では、インピーダンスが小さくなり、内部

(30)

電位 I 、 I' の発生も 0.4 V と小さくなっていることが分かる。これにより、内部電位による液晶層 2 2 にかかる直流成分を抑制することができるので、液晶層 2 2 の延命化を図ることができ、この結果、光書き込み型液晶素子の長寿命化が可能になる。

【0167】

また、図 9 に示す印加電圧と読み出し光の反射率との関係、即ち反射特性で示されるように、矩形波の印加電圧 5 V 時の暗時における反射率は最低 (ボトム) になり、一方、明時 (書き込み光強度: $250 \mu W/cm^2$) の反射率は最高 (ピーク) になる。光導電層の光感度が大幅に改善されたことで、このようにある印加電圧で暗時のボトムと明時のピークが一致する反射率特性を示すようになり、これによって、コントラストが向上する。実際に、上記構成の光書き込み型液晶素子では、コントラスト 200 を実現した。

【0168】

また、光導電層の暗時のインピーダンスが従来のものよりも大きく、且つ明時のインピーダンスが従来のものよりも小さいため、生成されたキャリアの横方向の拡散が抑制され、この結果、解像度は向上する。解像度測定では $100lp/mm$ が得られた。

【0169】

尚、本実施の形態では、光導電層側の透明電極 3 1 として $In_2(Sn)O_3$ と $SnO_2 : Sb$ の積層膜を用いたが、これに限定するものではなく、この他に $ZnO : A_1$ や $ZnO : B$ や $CdO : A_1$ や $CdO : B$ 等をスペッタリング法で成膜しても良い。このときの成膜法としては、EB 法を用いても良い。更に、これらの膜は、単膜でも積層膜でも良い。

【0170】

また、本実施の形態では、透明電極 3 1 側に絶縁膜を形成する場合に TiO_2 を 870 \AA 堆積したが、材料も膜厚もこれに限定するものではなく、例えば材料に CeO_2 等を用いても良く、また、膜厚も $34 \text{ nm} \sim 136 \text{ nm}$ 程度の範囲であれば良い。

【0171】

さらに、ある絶縁膜の材料 (特に絶縁膜材料の屈折率に注目する) とその膜厚との組み合わせによって、書き込み光の反射を抑制することができ、この結果、書き込み光を有効に光導電層に導くことができるようになっている。したがって、光書き込み型液晶素子の光感度を良くするためには、本実施の形態における素子構造の光書き込み型液晶素子では、上記のように書き込み光を有効に利用することができる絶縁膜を使用している。

【0172】

このように、光導電層のインピーダンス特性を満足すると共に、書き込み光を有効利用できる絶縁膜の構造、素材、膜厚等の具体的な例を表 1 に示す。

【0173】

(特開平 08-262476)

(31)

【表1】

絶縁層	ITO/SiO _x / 材料 /a-Si:H	最適膜厚(Å)	許容範囲(Å)
1層の場合	/ TiO _x /	870	340~1360, 1740~2810
	/ CeO _x /	910	390~1390, 1780~2820
	/ ZnS /	830	330~1330, 1690~2750
	/ a-SiN:H /	540	50~3000
2層の場合	/ TiO _x / CeO _x /	TiO _x : 420 CeO _x : 450	TiO _x : 50~1020, 1230~2500 CeO _x : 50~950, 1290~2370
	/ NaP / TiO _x /	NaP : 2000 TiO _x : 550	NaP : 80~270, 1230~2770 TiO _x : 80~980, 1490~2380
	/ TiO _x / SiO _x /	TiO _x : 770 SiO _x : 70	TiO _x : 300~1230 SiO _x : 50~300
	/ SiO _x / TiO _x /	SiO _x : 1620 TiO _x : 530	SiO _x : 550~3400 TiO _x : 85~980
	/ TiO _x / Bi ₂ O ₃ /	TiO _x : 790 Bi ₂ O ₃ : 50	TiO _x : 300~1300 Bi ₂ O ₃ : 50~370, 1470~2050
	/ Bi ₂ O ₃ / TiO _x /	Bi ₂ O ₃ : 660 TiO _x : 570	Bi ₂ O ₃ : 50~2630 TiO _x : 50~1100, 1360~2550
	/ SiO _x / Ta ₂ O ₅ /	SiO _x : 270 Ta ₂ O ₅ : 950	SiO _x : 50~2500 Ta ₂ O ₅ : 620~1280
	/ Ta ₂ O ₅ / SiO _x /	Ta ₂ O ₅ : 950 SiO _x : 80	Ta ₂ O ₅ : 450~1430 SiO _x : 50~270
4層の場合	/ SiO _x / TiO _x / SiO _x / TiO _x /	SiO _x : 2100 TiO _x : 270 SiO _x : 2050 TiO _x : 530	SiO _x : 1110~3220 TiO _x : 50~3000 SiO _x : 950~3150 TiO _x : 80~940

【0174】

ここで、本願の比較例として、光導電層にp i n型素子用い、表1に示された絶縁膜を用いない場合、書込み光が光導電層に何%透過しているか調べた。但し、書込み光のガラス基板との反射分のおよそ4%は測定に含まない。このガラス基板の書込み光の反射を小さくするには、書込み光側のガラス基板表面に空気(屈折率1)とガラス(屈折率1.52)の屈折率の間の材料をλ/4条件で蒸着することで実現している。一方、読み出し光の反射も、上記した書込み光側の反射を抑制する光学条件を用いて小さくしている。

【0175】

上記比較例の光導電層の書込み光の透過率を図11に示す。ここでは、上記実施の形態に従い透明電極31の膜厚は、同条件で1300Åとした。図11から分かるように、比較例のp i n素子を用いた光導電層では波長600~700nmの書込み光の平均透過率は88.5%となり、10%以上の書込み光をロスしていることが分かる。一方、上記の表1に示した絶縁膜を使用した場合の光導電層の書込み光の透過率を図10に示す。この図10から分かるように、表1に示す絶縁膜を用いた光導電層では波長600~700nmの書込み光のロスは1%以下に抑えられ、書込み光が有効に光導電層に導かれていることが分かる。

【0176】

ここで、本実施の形態の光書込み型液晶素子の比較例として光導電層にa-Si:Hからなるp i n型の素子を用いた場合の光書込み型液晶素子の反射率特性および光導電層のインピーダンスについて、図12および図

(32)

13に基づいて説明する。

【0177】

上記のp i n型素子はa-Si:Hからなり、i層の膜厚は上記実施の形態と同じ10μmとし、p層の膜厚は200Å、n層は1000Å堆積している。その他の製造に関する条件は本願の実施の形態に示したように同じとした。

【0178】

先ず、図13において、この光導電層の明暗時のインピーダンスを本発明の素子と比較すると、p i n型素子では暗時のインピーダンスが本発明の素子のインピーダンス(図6)よりも小さくなっていることが分かる。さらに、p i n型素子では、印加電圧依存性(印加電圧に逆比例しインピーダンスが小さくなる現象)が観測される。一方、明時のインピーダンスは本発明の素子と同程度となっていることが分かる。

【0179】

次に、図12において、本願の素子構造の光導電層(図9)と比較した結果、以下のことが分かった。

【0180】

■暗時の反射率のボトムにおける電圧変動幅のマージンが小さい。

【0181】

■明時の反射率のピークが暗時の反射率のボトムと同一電圧値になっていない。

【0182】

このため、p i n型素子を用いた光書込み型液晶素子は、必要な書込み光の強度(読み出し光がおおむね最大となるような書込み光の強度)が“450μW/cm²”と光感度が低く、また、コントラストも“150”と低く、また、内部電位(0.7V)も発生する。

【0183】

さらに、本実施の形態の光書込み型液晶素子の他の比較例として、光導電層にエネルギー・バンド・ダイヤグラムのエネルギー構造が対称型となるキャリア・ブロッキング層を用いた場合の光書込み型液晶素子の反射率特性および光導電層のインピーダンスについて、図14R>4および図15に基づいて説明する。

【0184】

上記のキャリア・ブロッキング層は、無機絶縁膜としての酸化ケイ素を使用し、その膜厚を300Åとした。光導電層のi層は、a-Si:H膜を使用し、その膜厚を10μmとした。その他の製造に関する条件は実施の形態1に示したように同じとした。

【0185】

先ず、図15に示すインピーダンスのグラフから、この光導電層の明暗時のインピーダンスは、本願の光導電層と較べて、暗時のインピーダンスはp i n型素子のように印加電圧依存性は無いものの、本願の光導電層(図6)のようなインピーダンスとはならず、また、明時の

50

(特開平 08-262476)

(33)

インピーダンスは、本願の光導電層あるいはp i n型素子のように低インピーダンスとはならないことが分かる。

【0186】

次に、図14に示す反射率のグラフから、明時の反射率のピークが暗時の反射率のボトムと同一電圧値になつてないことが分かる。このため、対称型素子を用いた光書き込み型液晶素子は、必要な書き込み光の光強度が“600 μ W/cm²”と光感度が低く、また、コントラストも“150”と低い。

【0187】

これらの結果をまとめると表2のようになる。

【0188】

【表2】

	比較例		本発明	
	p i n型素子構造	対称型素子構造	実施例1の素子構造	
光導電層の比較	Z_{dark}	Z_{dark}	<	Z_{dark}
	Z_{photo}	Z_{photo}	>	Z_{photo}
	Z_{dark}/Z_{photo} (6.8)	Z_{dark}/Z_{photo} (7.0)	Z_{dark}/Z_{photo} (8.75)	
光書き込み型液晶素子の性能比較	書き込み光の光強度 (~450)	書き込み光の光強度 (~600)	書き込み光の光強度 (~250)	
	コントラスト (~150)	コントラスト (~150)	コントラスト (200)	
	解像度 (~40)	解像度 (~80)	解像度 (100 lp/mm 以上)	
	温度依存性 (大)	温度依存性 (小)	温度依存性 (小)	
	寿命 (短)	寿命 (長)	寿命 (長)	
	書き込み入射量 (88.5 %)	書き込み入射量 (90.0 %)	書き込み入射量 (99 %以上)	

【0189】

以上のように、表2から、比較例の素子構造の光導電層と本願の素子構造の光導電層の明暗時のインピーダンス比を較べた場合、本願の素子構造の光導電層の方が大きくなることが分かる。このことにより、本願の光導電層を光書き込み型液晶素子に用いれば、光感度を大幅に改善することができ、この結果、コントラストや解像度も向上させることができる。また、本願の素子構造の光導電層では、キャリアインジェクションが起こらないように設計されているため比較例のp i n型素子構造の光導電層に示されるような整流性は無いので、温度依存性と寿命も著しい改善を実現することが可能となる。

【0190】

尚、本実施の形態では、光導電層としてi型のa-Si:H膜を用いたが、これに限定するものではなく、例えばP-CVD成膜中に少量のB₂H₆を導入して成膜したa-Si:H膜やa-Si:F:H膜であっても良い。さらに、a-Si:H膜やa-Si:F:H膜に少量のBを添加したものであっても良い。

(34)

【0191】

さらに、光導電層としてa-Si:F:H膜を用いる場合、そのP-CVD法による成膜法としては、SiH₄とSiF₄を導入し成膜する方法やSiH₄とSiF₄とH₂を導入し成膜する方法あるいはSiF₄とH₂を導入し成膜する方法がある。このa-Si:F:H膜は、本実施の形態に示したa-Si:H膜よりも書き込み光の波長600~700nmでの吸収係数が少し大きいことが分かっている。吸収係数が大きければ、光導電膜に入射された書き込み光が実施の形態で示したものよりも高抵抗領域での生成キャリアが増加し電界によるエネルギー利得を受けるキャリア数が増えるので、光導電率が増加する。また、a-Si:F:H膜は、a-Si:H膜に較べて光劣化 (Staebler Wronski効果：光を照射すると明導電率、暗導電率共に低下する現象) が抑制できる効果がある。さらに、このa-Si:F:H膜は、成膜速度を上げても光導電特性が劣化しない効果があるので、光導電層が膜厚 (数 μ m~20 μ m) となっても高速成膜が可能になる。

【0192】

また、a-Si:F:H膜にB等のアクセプタを少量添加した場合もa-Si:H膜に少量のB等を添加した場合と同様の効果がある。

【0193】

したがって、a-Si:F:H膜や少量のB等を添加したa-Si:F:H膜を光導電層として用いた光書き込み型液晶素子は、光感度やコントラストや解像度が向上するだけでなく高品質な状態で長寿命化が可能となる。

【0194】

また、光導電層は、10 μ m程度の膜厚であるので、光吸収層 (キャリア発生層) として書き込み光のほとんどを吸収する膜、即ち透明電極31側の絶縁層上の光導電層に少量B添加のa-Si:H膜やa-Si:F:H膜や少量B添加のa-Si:F:H膜を用いても良く、また、キャリア輸送層としては実施の形態に示したa-Si:H膜を用いても良く、これらのいずれの組み合わせであっても良い。

【0195】

また、遮光層18の材料もa-SiGe:Hに限定するものではなく、例えば有機材料やサーメットでも良い。

【0196】

一般に、高解像度を実現するためには、高インピーダンスの遮光材料を使用する必要がある。しかしながら、高インピーダンスの遮光材料を使用すれば、光導電層に電圧が印加されにくくなる。このため、従来では、解像度を犠牲にして、遮光層には低インピーダンスの材料を使用し、光導電層に電圧が印加され易くし、光感度を向上させるようになつていった。ところが、本実施の形態の光導電層の素子構造によれば、光感度が向上しているので、遮光層18に高インピーダンスの材料を使用して

(特開平 08-262476)

(35)

も良いようになり、遮光層18に、従来よりも高インピーダンスの材料を使用できるようになり、この点からも高解像度が実現できるようになった。

【0197】

また、本実施の形態の多層膜誘電体ミラー層19は、読み出し光が可視光の緑領域で設計しているが、これに限定するものではなく、例えば、青領域や赤領域でも同じように1/4条件で設計しても良く、光学膜厚に従って堆積する。上記多層膜誘電体ミラー層19は、低屈折率材料の膜としてSiO₂膜を用い、また、高屈折率材料の膜としてTiO₂膜を用いているが、これに限定するものではない。したがって、低屈折率材料としては、例えばBaF₂、NaF、MgF₂、AlF₃、CaF₃、SrF₂、LiF、Na₃AlF₆、Na₅Al₃F₁₄を用いることができる。また、高屈折率材料としては、例えばLaF₃、Y₂O₃、WO₃、Sc₂O₃、PbF₂、NdF₃、Sm₂O₃、Pr₆O₁₁、MoO₃、La₂O₃、Eu₂O₃、Bi₂O₃、ZnS、ZnO、NdO₃、CeF₃、Al₂O₃、MgO、HfO₂、Si₃N₄、ZrO₂、Sb₂O₃、Ta₂O₅、CeO₂を用いることができる。

【0198】

また、これらの材料を用いて作製した多層膜誘電体ミラー層19は、吸湿によるインピーダンス低下や反射率低下や反射波長が変化する等問題があるので、膜の充填率を高くする成膜条件を用いて堆積したり、EB蒸着時にイオンビームおよび中和用電子ビームを同時に照射し膜の充填率を高くできるイオンアシスト蒸着法(IA-D)を用いる必要がある。

【0199】

以上、本実施の形態では、液晶層22の表示モードはHFEモードであるが、これに限定するものではなく、例えば垂直配向性のECB(電界制御型複屈折)モード、PDLC(ポリマー分散型液晶)モード、FLC(強誘電性液晶)モード、FC(相転移型液晶)モード、DS(動的散乱型液晶)モード、あるいはGH(ゲスト・ホスト)モードを用いても良い。

【0200】

また、本実施の形態では光書き込み型液晶素子を駆動するために500Hzの矩形波を用いたが、交流周波数であれば、120Hz～30kHz程度の範囲であれば良い。また、駆動波形も矩形に限定するものではなく、例えば周期を持つ関数で定義できる交流の駆動波形であれば良い。

【0201】

上記の実施の形態1では、図1に示すように、光導電層16の両側にキャリアブロッキング層15・17を設けた構造により、透明電極31および遮光層18からの光導電層へのキャリアインジェクションを防止することを特徴としており、このため、光導電層16は、i型のa-Si:H膜によって構成されており、このi型の

(36)

a-Si:H膜中のドナー密度はほぼ均一となるように形成されている。

【0202】

ところで、このi型のa-Si:H膜のドナー密度を、透明電極31側よりも遮光層18側の方が大きくなるように形成することで、光導電層の透明電極31側に設けられている絶縁層と光導電層との接合による最大空乏層幅が、遮光層18側に設けられている絶縁層と光導電層との接合による最大空乏層幅よりも大きくなり、したがって、透明電極31側の静電容量が、遮光層18側の静電容量よりも小さくなり、これによって光導電層の透明電極31側に高い電圧が印加される。このような効果を奏する素子構造について以下の実施の形態2にて説明する。

【0203】

【実施の形態2】本発明の他の実施の形態について図17(a)ないし図19に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記実施の形態1と同一機能を有する部材には、同一番号を付記し、その説明20は省略する。以下の各実施の形態においても同様とする。

【0204】

本実施の形態に係る光書き込み型液晶素子は、i型のa-Si:H膜のドナー密度を、透明電極31側よりも遮光層18側の方が大きくなるように形成されており、その光導電層16のエネルギー・バンドダイヤグラムは、図17(b)および図17(c)に示すようになる。尚、図17(a)は、上記実施の形態1の光導電層16のエネルギー・バンドダイヤグラムを示すものである。

【0205】

図17(b)に示すエネルギー・バンドダイアグラムは、光導電層のドナー密度が、透明電極31側から遮光層18側に向かって連続して増加するようにした構造の光導電層16'を備えた素子構造のものであり、また、図17(c)に示すエネルギー・バンドダイアグラムは、光導電層のドナー密度が、透明電極31側から遮光層18側に向かって段階的に増加するようにした構造の光導電層16''を備えた素子構造のものである。

【0206】

まず、図17(b)に示す素子構造の光導電層の製造方法について説明する。このように、光導電層16'のドナー密度を、透明電極31側から遮光層18側に連続的に増加させるための、光導電層16'の製造方法には、少なくとも以下に示す3つの製造方法がある。

【0207】

■ 透明電極31側から遮光層18側に向けてドナー添加量を順に増加させる方法。

【0208】

■ 透明電極31側から遮光層18側に向けて補償用のアクセプターを添加し、その後ドナーを添加する方法。

50 このとき、光導電層の所定位置までアクセプターの添加

(特開平 08-262476)

(37)

量を減少させて、その後、遮光層 18 側に向かってドナーの添加量を増加させる。

【0209】

■ 透明電極 31 側から遮光層 18 側に向けて補償用のアクセプターの添加量を減少させる方法。このとき、透明電極 31 側の絶縁層と接合する光導電層は、非常に高抵抗な伝導型が n 型とする。

【0210】

先ず、上記■の方法による a-Si:H 膜の製造法について説明する。a-Si:H 膜は、プラズマ CVD 法（化学気相成長法）により成膜され、堆積した膜厚が $10 \mu\text{m}$ となった。この場合、反応炉に、 SiH_4 ガスを一貫して 1000 sccm を導入した状態で、ドナー添加のために PH_3 ガス (H_2 で 1% に希釈されたもの) を供給する。このとき、透明電極 31 側のキャリアプロッキング層 15 上の成膜開始時には PH_3 ガスの供給量をゼロとし、成膜開始後、a-Si:H の成膜と共に PH_3 ガスの供給量を増加させ、最終的には、遮光層 18 のキャリアプロッキング層 17 との接合する時点まで PH_3 ガスの供給量を 10 sccm とする。

【0211】

このようにして得られた a-Si:H 膜中のドナー密度は、透明電極 31 側のキャリアプロッキング層 15 に接合する領域ではおよそ 10^{16} cm^{-3} となり、遮光層 18 のキャリアプロッキング層 17 に接合する領域ではおよそ 10^{18} cm^{-3} 程度となった。

【0212】

次に、上記■の方法による a-Si:H 膜の製造法について説明する。反応炉に、 SiH_4 ガスを一貫して 1000 sccm を導入した状態で、補償用のアクセプター添加のための B_2H_6 ガスを添加し、その後、ドナー添加のために PH_3 ガスを添加する。このとき、透明電極 31 側のキャリアプロッキング層 15 上の成膜開始時にはアクセプター供給量を 10 sccm とし、成膜時間とともに減少させ、光導電層 16 の中程で供給量をゼロとし、この地点からドナー添加のための PH_3 ガス (H_2 で 1% に希釈されたもの) の供給を開始し、徐々に増やして、最終的に遮光層 18 側のキャリアプロッキング層 17 に接合するところで PH_3 ガスの供給量を 10 sccm とする。

【0213】

このようにして得られた a-Si:H 膜中のドナー密度は、透明電極 31 側のキャリアプロッキング層 15 に接合する領域ではおよそ 10^{15} cm^{-3} となり、遮光層 18 のキャリアプロッキング層 17 に接合する領域ではおよそ 10^{18} cm^{-3} 程度となった。

【0214】

さらに、上記■の方法による a-Si:H 膜の製造法について説明する。反応炉に、 SiH_4 ガスを一貫して 1000 sccm を導入した状態で、補償用のアクセプ

(38)

ター添加のための B_2H_6 ガスを添加する。このとき透明電極 31 側のキャリアプロッキング層 15 上の成膜開始時にはアクセプター供給量を 10 sccm とし、成膜時間とともに減少させ、最終的に遮光層 18 側のキャリアプロッキング層 17 に接合するところで B_2H_6 ガスの供給量をゼロとする。

【0215】

このようにして得られた a-Si:H 膜中のドナー密度は、透明電極 31 側のキャリアプロッキング層 15 に接合する領域ではおよそ 10^{15} cm^{-3} となり、遮光層 18 のキャリアプロッキング層 17 に接合する領域ではおよそ 10^{16} cm^{-3} 程度となった。

【0216】

以上の 3 つの方法にて成膜された光導電層 16' の何れの a-Si:H 膜中のドナー密度も、透明電極 31 側より遮光層 18 側の方が大きくなっている。これによって、絶縁膜からなるキャリアプロッキング層 15・17 との接合によって形成される最大空乏層幅を透明電極 31 側の方を大きくすることができ、この結果、光導電層の透明電極 31 側に高い電圧を印加することができる。

【0217】

次に、図 17 (c) に示すエネルギーバンドを有する素子構造の光導電層の製造方法について説明する。

【0218】

この素子構造を有する光導電層 16'' は、a-Si:H 膜中のドナー密度が、透明電極 31 側から遮光層 18 側に向かって段階的に増加するように構成されたものである。つまり、a-Si:H 膜は、透明電極 31 側の絶縁膜との接合によって形成される最大空乏層幅よりも大きい領域では、一定のドナー密度で成膜し、遮光層 18 に近い領域では、遮光層 18 側の最大空乏層にかかるような膜厚の領域でドナー密度を徐々に大きくし、遮光層 18 側の最大空乏層の領域では、一定のドナー密度となるように形成されている。即ち、本実施の形態では、a-Si:H 膜のドナー密度が一段階で変化する構成となっている。

【0219】

ここで、上記のような段階的に増加するドナー密度を有する光導電層 16'' の製造方法について以下に説明する。尚、a-Si:H の膜厚は $10 \mu\text{m}$ とする。

【0220】

まず、反応炉に、 SiH_4 ガスを一貫して 1000 sccm を導入した状態で、a-Si:H 膜を $7 \mu\text{m}$ 成膜する。そして、a-Si:H 膜が $7 \mu\text{m}$ から $9 \mu\text{m}$ の $2 \mu\text{m}$ 間に、 PH_3 ガス (H_2 で 1% に希釈されたもの) をドナー添加に用い、その供給量を 10 sccm まで徐々に増加させる。その後、膜厚が $9 \mu\text{m}$ のところでドナー密度を 10^{18} cm^{-3} とし、膜厚 $10 \mu\text{m}$ までの $1 \mu\text{m}$ をこのドナー添加量のまま成膜する。

(特開平 08-262476)

(39)

【0221】

また、透明電極31側のドナー密度を小さくしたい場合には、上記したように補償用のアクセプター添加を行なえば良い。また、本実施の形態では、a-Si:H膜中のドナー密度が1段階で変化するようになっているが、2段階、3段階等の多段階の変化となつても同様の効果を得ることができる。

【0222】

以上のように、i型のa-Si:H膜の透明電極31側のドナー密度(N_{DI})を遮光層18側のドナー密度(N_{DL})より小さくすることで、透明電極31側に形成される空乏層幅あるいは最大空乏層幅が遮光層18側に形成される空乏層幅あるいは最大空乏層幅よりも大きくなる。

【0223】

したがって、光導電層の透明電極31側の方が遮光層18側よりも高電圧が印加されるようになるので、図18に示すように、a-Si:H膜の一定のドナー密度(N_D)よりも光電流が多く流れる。但し、暗電流は、ドナー密度の差に関わらず同じとなっている。

【0224】

また、a-Si:H膜の透明電極31側のドナー密度(N_{DI})を遮光層18側のドナー密度(N_{DL})より小さくした場合($N_{DI} < N_{DL}$)、即ちドナー密度を連続的に変化させる場合またはドナー密度を段階的に変化させる場合と、ドナー密度が一定(N_D)の場合との、必要な書込み光の光強度(光感度)および解像度の関係を図19に示す。

【0225】

図19から、以下の表3の結果が得られた。

【0226】

【表3】

	光強度($\mu\text{W}/\text{cm}^2$)	解像度(1p/mm)
N_D 一定	600	50
$N_{DI} < N_{DL}$ (多段)	220	90
$N_{DI} < N_{DL}$ (連続)	200 ~ 250	85 ~ 95

【0227】

上記表3から、ドナー密度を $N_{DI} < N_{DL}$ とした方が、ドナー密度一定の場合よりも光感度が高く(必要な書込み光の光強度が低く)、弱い書込み光でも良好に画像情報を書込むことができ、解像度も良好であることが分かる。

【0228】

また、a-Si:H膜中の透明電極31側のドナー密度が 10^{16} cm^{-3} 程度であると、絶縁層との接合によって形成される最大空乏層幅はおよそ 10000\AA となる。したがって、光導電層の透明電極31側のドナー密度を

(40)

10^{16} cm^{-3} 程度とするならば、ドナー密度を増やすとその分だけ空乏層幅が狭くなるので、透明電極31側のキャリアプロッキング層15との接合部より膜厚 1\mu m までの領域では、a-Si:H膜中のドナー密度を増やさない方が望ましい。

【0229】

さらに、a-Si:H膜中の遮光層18側のドナー密度が 10^{18} cm^{-3} 程度であると、絶縁層との接合によって形成される最大空乏層幅はおよそ 10000\AA となる。したがって、光導電層の透明電極31側のドナー密度を 10^{18} cm^{-3} 程度とするならば、遮光層18側のキャリアプロッキング層17との接合部より膜厚 10000\AA の領域では、a-Si:H膜中のドナー密度を減少させない方が望ましい。

【0230】

本実施の形態では、光導電層の透明電極31側に遮光層18よりも多く電圧が印加されるよう、光導電層内のドナー密度を変化させている。以下の実施の形態3では、光導電層の透明電極31側に遮光層18よりも多く

電圧を印加させるために、光導電層として、i型の半導体とこのi型の半導体よりも大きいエネルギーギャップを有するワイドエネルギーギャップの半導体(以下、ワイドギャップ半導体と称する)とを接合したもの、i型の半導体とこのi型の半導体と同じエネルギーギャップを有し、その伝導型が異なる半導体とを接合したもの、あるいはi型の半導体とエネルギーギャップが遮光層18側に向かって連続的に小さくなるチャーブ素子構造の半導体とを接合したものを使用した場合について説明する。

【0231】

【実施の形態3】 本発明のさらに他の実施の形態について図20(a)ないし図27(c)および図70に基づいて説明すれば、以下の通りである。

【0232】

本実施の形態に係る光書込み型液晶素子に使用される光導電層に、ワイドギャップ半導体、同じエネルギーギャップを有し、その伝導型が異なる半導体、エネルギーギャップが遮光層18側に向かって連続的に小さくなるチャーブ素子構造の半導体を使用し、それぞれがドナー密度(N_D)の均一なi型の半導体26と接合した場合のエネルギーバンドを以下に説明する。

【0233】

まず、i型のワイドギャップ半導体にi型の半導体を接合したものを光導電層に使用した場合について説明する。図20(a)に示すように、ワイドギャップ半導体27は、透明電極31側のキャリアプロッキング層15に接合するようにして設け、透明電極31からのキャリアインジェクションを防止し得るエネルギー構造となっている。このワイドギャップ半導体27によって、キャリアプロッキング層15と光導電層との接合部分

(特開平 08-262476)

(41)

に発生する界面準位が、i型の半導体26中に形成されるキャリア発生有効領域に影響を及ぼさなくなる。したがって、i型の半導体26内で発生したキャリアが界面の欠陥にトラップされることがなくなるので、多くの光電流を流すことができる。

【0234】

ここで、上記のi型のワイドギャップ半導体27にi型の半導体26を接合した光導電層の製造方法について、以下に説明する。

【0235】

i型のワイドギャップ半導体27として $a-Si_xC_{1-x}H$ (i層で組成 $x=0.6$) を用い、膜厚は100 Åとする。尚、i型のワイドギャップ半導体27の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。代表的なP-CVD成膜条件として、 $SiH_4=50$ sccm, $CH_4=20$ sccm, $H_2=200$ sccmを反応炉に導入し、グロー放電分解して堆積した。この条件で堆積したi型 $a-Si_xC_{1-x}H$ 膜のドナー密度は 10^{16} cm^{-3} であった。

【0236】

上記のi型のワイドギャップ半導体27においては、キャリアブロッキング層15と光導電層との接合によって形成される最大空乏層幅を考慮して、即ち空乏層幅を拡げるためドナー密度をできるだけ小さくする必要がある。このときのドナー密度は、光導電層のi型の半導体26である $a-Si:H$ 膜と同程度の 10^{15} cm^{-3} ～ 10^{17} cm^{-3} の範囲内として、i型のワイドギャップ半導体27を成膜すれば良い。さらに、このi型のワイドギャップ半導体27の膜厚は、キャリア発生領域に空乏層を形成させるため、キャリアブロッキング層15との接合によって形成される最大空乏層幅または空乏層幅よりも薄くする必要がある。

【0237】

また、上記の光導電層では、ドナー密度が均一なi型の半導体26を用いているので、エネルギー準位は、図20 (a) に示すように、i型の半導体26部分においてエネルギー準位が平衡となっている。このため、i型の半導体26中で発生したキャリアの移動速度が均一となり、光電流の流れに限界がある。

【0238】

そこで、i型の半導体26に換えて、 $a-Si:H$ 膜中のドナー密度(N_D)が透明電極31側から遮光層18側に向かって増加するようにして形成されたi型の半導体を使用することが考えられる。 $a-Si:H$ 膜中のドナー密度(N_D)を透明電極31側と遮光層18側とで異ならせるには、上記実施の形態2で述べたように、ドナー密度(N_D)を連続的に増加させる方法と、段階的に増加させる方法がある。

【0239】

(42)

ドナー密度を透明電極31側から遮光層18側に連続的に増加させた場合、そのエネルギー準位は、図20 (b) に示すように、i型の半導体26'部分が遮光層18に向かって連続的に低下するようになっている。また、ドナー密度を透明電極31側から遮光層18側に段階的に増加させた場合、そのエネルギー準位は、図20 (c) に示すように、i型の半導体26''部分が遮光層18に向かって段階的に低下するようになっている。

【0240】

10 このように、ドナー密度が透明電極31側よりも遮光層18側の方を多くすることで、i型の半導体26'・26''中で発生したキャリアの移動速度が遮光層18側で大きくなるので、光電流を良く流すことができる。

【0241】

次に、エネルギーギャップが同じであるp型の半導体とi型の半導体との接合したものを光導電層に使用した場合について説明する。図21 (a) に示すように、i型の半導体26とp型の半導体26aとが接合することで、接合部近傍に空乏層が形成される。これにより、20 光導電層の透明電極31側に高い電圧が印加されるようになり、光電流が多く流れる。

【0242】

さらに、光電流を多く流すためには、i型の半導体26のドナー密度を変化させることによって達成される。ドナー密度を透明電極31側から遮光層18側に連続的に増加させた場合、そのエネルギー準位は、図21 (b) に示すように、i型の半導体26'部分が遮光層18に向かって連続的に低下するようになっている。また、ドナー密度を透明電極31側から遮光層18側に段階的に増加させた場合、そのエネルギー準位は、図21 (c) に示すように、i型の半導体26''部分が遮光層18に向かって段階的に低下するようになっている。

【0243】

このように、ドナー密度が透明電極31側よりも遮光層18側の方を多くすることで、i型の半導体26'・26''中で発生したキャリアの移動速度が遮光層18側で大きくなるので、光電流を良く流すことができる。

【0244】

次に、p型のワイドギャップ半導体にi型の半導体を接合したものを光導電層に使用した場合について説明する。図22 (a) に示すように、ワイドギャップ半導体28は、透明電極31側のキャリアブロッキング層15に接合するようにして設け、透明電極31からのキャリアインジェクションを防止し得るエネルギー構造となっている。このワイドギャップ半導体28によても、図22 (a) のワイドギャップ半導体27と同様に、i型の半導体26内で発生したキャリアが界面の欠陥にトラップされることがなくなるので、高い光電流を流すことができる。

50 【0245】

(特開平 08-262476)

(43)

さらに、光電流を多く流すためには、i型の半導体26のドナー密度を変化させることによって達成される。ドナー密度を透明電極31側から遮光層18側に連続的に増加させた場合、そのエネルギー準位は、図22(b)に示すように、i型の半導体26'部分が遮光層18に向かって連続的に低下するようになっている。また、ドナー密度を透明電極31側から遮光層18側に段階的に増加させた場合、そのエネルギー準位は、図22(c)に示すように、i型の半導体26''部分が遮光層18に向かって段階的に低下するようになっている。

【0246】

ここで、上記のp型のワイドギャップ半導体28にi型の半導体26を接合した光導電層の製造方法について、以下に説明する。

【0247】

p型のワイドギャップ半導体としてa-Si_xC_{1-x}:H(組成x=0.6)を用い、膜厚は100Åとする。尚、p型のワイドギャップ半導体の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。上記のp型のワイドギャップ半導体28としてのp型a-Si_xC_{1-x}:H膜のアクセプター密度は10¹⁷cm⁻³であった。その上に、i型のa-Si:H膜を実施の形態2と同様にして成膜し、光導電層とした。

【0248】

上記のp型のワイドギャップ半導体28の膜厚は、キャリアプロッキング層15とi型の半導体26との接合によって形成される最大空乏層幅よりも、p型のワイドギャップ半導体28に形成される空乏層幅はできるだけ小さくし、i型の半導体26中に空乏層を薄く形成する必要がある。また、p型のワイドギャップ半導体28中のアクセプター密度は、10¹⁸cm⁻³程度が望ましく、10¹⁶cm⁻³～10²⁰cm⁻³の範囲内であれば良い。

【0249】

このようにして形成された光導電層は、図2323に示すように、光導電層に、i型の半導体のみを使用した場合、およびi型のワイドギャップ半導体とi型の半導体とを接合した場合に比べて、光電流の電流密度が大きくなっている。これは、p型のワイドギャップ半導体28とi型の半導体26との接合により、空乏層が形成されるので、光導電層の透明電極31側に高い電圧が印加されるようになると、発生したキャリアが界面準位にトラップされない理由からである。

【0250】

また、上記のp型のワイドギャップ半導体を、キャリアプロッキング層15の代わりに使用しても良い。このことについては、後述の実施の形態にて詳細に述べる。

【0251】

次に、i型のチャーブ構造の半導体(以下、i型チャーブ半導体と称する)にi型の半導体を接合したものを

(44)

光導電層に使用した場合について説明する。図24(a)に示すように、i型チャーブ半導体29は、一方がi型の半導体26に接合されると共に、他方が透明電極31側のキャリアプロッキング層15に接合されており、透明電極31からのキャリアインジェクションを防止し得るエネルギー構造となっている。

【0252】

一般的に、光導電層にチャーブ半導体を用いることで、書き込み光によって生成されるキャリアが光導電層内から発生し、絶縁層との接合界面において再結合されなくなる。さらに、生成されたキャリアは、バンドの傾斜によりエネルギーを得て透明電極31側に移動し易くなるので、このことからもキャリアの再結合の確率を低下させている。

【0253】

また、透明電極31側から入射される書き込み光が、透明電極31から光導電層の屈折率のそれぞれ異なる膜で反射し、光導電層への書き込み光の入射量が少なくなる。ところが、チャーブ半導体では、光の屈折率が連続的に、光導電層と同じ屈折率まで変化するので、書き込み光の反射は、少なくなる。つまり、チャーブ半導体では、その組成比が順次変化しているので、界面反射が小さくなる。このため、書き込み光のロスを小さくして、光導電層に効率良く導入することができる。

【0254】

以上のことから、光導電層にチャーブ半導体を用いることで、上記したワイドギャップ半導体を用いた場合よりも、明時におけるインピーダンスを若干低くすることができる。このときの書き込み光の光強度は200μW/cm²となった。ここで、書き込み光強度と読み出し光の反射率との関係を図70に示す。図70から、チャーブ半導体は、従来の対称型およびp-i-n型の半導体に比べて、書き込み光強度が弱くても高反射率となっていることが分かる。これにより、チャーブ半導体を用いることにより弱い書き込み光であっても有効に利用することができることが分かる。

【0255】

ここで、上記のi型のチャーブ半導体29にi型の半導体26を接合した光導電層の製造方法について、以下に説明する。

【0256】

尚、i型のチャーブ半導体29として、a-Si_xC_{1-x}:H(i層で組成x=0.6～1)膜を用い、膜厚は1000Åとする。但し、i型のチャーブ半導体29の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。代表的なP-CVD成膜条件として、成膜開始直後には、SiH₄=50sccmを反応炉に供給し、膜厚の増加と共に、SiH₄ガスの供給量を増やし、最終的に供給量を100sccmとする。CH₄ガスの供給

(特開平 08-262476)

(45)

量は、成膜開始直後には 20 sccm とし、最終的にはゼロにする。また、H₂ ガスの供給量も、成膜開始直後には 200 sccm とし、最終的にはゼロにする。これらのガスを反応炉にてグロー放電分解して、ベースプレッシャー (P_B) = 0.92 Torr、RFパワー = 50W、基板温度 (T_{sub}) = 300°C で堆積させた。この条件で堆積した i 型のチャーブ半導体としての i 型 a-Si_xC_{1-x}:H 膜 (組成 x = 0.6 ~ 1) のドナー密度は 10¹⁶ cm⁻³ であった。その上に、i 型の a-Si:H 膜を実施の形態 2 と同様にして成膜し、光導電層とした。

【0257】

上記の i 型のチャーブ半導体は、キャリアプロッキング層 15 と光導電層との接合によって形成される最大空乏層幅よりも薄く形成する必要がある。また、i 型のチャーブ半導体 29 中のドナー密度は、i 型 a-Si:H 膜と同程度の 10¹⁵ cm⁻³ ~ 10¹⁷ cm⁻³ の範囲内にすることである。

【0258】

また、i 型の半導体 26 に換えて、a-Si:H 膜中のドナー密度 (N_D) が透明電極 31 側から遮光層 18 側に向かって増加するようにして形成された i 型の半導体 26'・26'' を使用することが考えられる。a-Si:H 膜中のドナー密度 (N_D) を透明電極 31 側と遮光層 18 側とで異ならせるには、上記実施の形態 2 で述べたように、ドナー密度 (N_D) を連続的に増加させる方法と、段階的に増加させる方法がある。

【0259】

ドナー密度を透明電極 31 側から遮光層 18 側に連続的に増加させた場合、そのエネルギー準位は、図 24 (b) に示すように、i 型の半導体 26' 部分が遮光層 18 側に向かって連続的に低下するようになっている。また、ドナー密度を透明電極 31 側から遮光層 18 側に段階的に増加させた場合、そのエネルギー準位は、図 24 (c) に示すように、i 型の半導体 26'' 部分が遮光層 18 側に向かって段階的に低下するようになっている。

【0260】

また、チャーブ半導体として i 型のものを使用しているが、B 等のアクセプタを少量添加した p 型のチャーブ半導体を使用しても良い。このときのチャーブ半導体への B の添加量は、透明電極 31 との界面から i 型の半導体 26 との界面に向かって連続的に減少させて良い。

【0261】

次に、p 型のチャーブ構造の半導体 (以下、p 型チャーブ半導体と称する) に i 型の半導体を接合したものを光導電層に使用した場合について説明する。図 25 (a) に示すように、p 型チャーブ半導体 30 は、一方が i 型の半導体 26 に接合されると共に、他方が透明電極 31 側のキャリアプロッキング層 15 に接合されており、透明電極 31 からのキャリアインジェクションを防止し

(46)

得るエネルギー構造となっている。

【0262】

ここで、上記の p 型のチャーブ半導体 30 に i 型の半導体 26 を接合した光導電層の製造方法について、以下に説明する。

【0263】

尚、p 型のチャーブ半導体 30 として p 型の a-Si_xC_{1-x}:H 膜 (i 層で組成 x = 0.6 ~ 1) 膜を用い、膜厚は 300 Å とする。但し、p 型のチャーブ半導体 30 の組成や膜厚は、上記した条件に限定するものではなく、多くの光电流を流すための範囲内で他の材料を用いても良い。代表的な P-CVD 成膜条件として、成膜開始直後には、SiH₄ = 50 sccm を反応炉に供給し、膜厚の増加と共に、SiH₄ ガスの供給量を増やし、最終的に供給量を 100 sccm とする。CH₄ ガスの供給量は、成膜開始直後には 20 sccm とし、最終的にはゼロにする。また、H₂ ガスの供給量も、成膜開始直後には 200 sccm とし、最終的にはゼロにする。アクセプター添加用の PH₃ ガスの供給量は、一貫して 50 sccm とした。これらのガスを反応炉にてグロー放電分解して、P_B = 0.92 Torr、RFパワー = 50W、T_{sub} = 300°C で堆積させた。この条件で堆積した p 型のチャーブ半導体としての i 型 a-Si_xC_{1-x}:H 膜 (組成 x = 0.6 ~ 1) のアクセプター密度は 10¹⁷ cm⁻³ であった。その上に、i 型の a-Si:H 膜を実施の形態 2 と同様にして成膜し、光導電層とした。

【0264】

上記の p 型のチャーブ半導体 30 は、キャリアプロッキング層 15 と i 型の半導体 26 との接合によって形成される最大空乏層幅よりも薄く形成する必要がある。また、p 型のチャーブ半導体 30 中のアクセプター密度は、10¹⁸ cm⁻³ 程度が望ましく、10¹⁶ cm⁻³ ~ 10²⁰ cm⁻³ の範囲内であれば良い。

【0265】

また、i 型の半導体 26 に換えて、a-Si:H 膜中のドナー密度 (N_D) が透明電極 31 側から遮光層 18 側に向かって増加するようにして形成された i 型の半導体を使用することが考えられる。a-Si:H 膜中のドナー密度 (N_D) を透明電極 31 側と遮光層 18 側とで異ならせるには、上記実施の形態 2 で述べたように、ドナー密度 (N_D) を連続的に増加させる方法と、段階的に増加させる方法がある。

【0266】

ドナー密度を透明電極 31 側から遮光層 18 側に連続的に増加させた場合、そのエネルギー準位は、図 25 (b) に示すように、i 型の半導体 26' 部分が遮光層 18 側に向かって連続的に低下するようになっている。また、ドナー密度を透明電極 31 側から遮光層 18 側に段階的に増加させた場合、そのエネルギー準位は、図 25 (c) に示すように、i 型の半導体 26'' 部分が遮光

(特開平 08-262476)

(47)

層18に向かって段階的に低下するようになっている。

【0267】

上記したチャーブ半導体では、遮光層18に向かって連続的にエネルギーギャップが減少しているが、例えば遮光層18に向かって段階的にエネルギーギャップが減少するチャーブ半導体を使用しても良い。以下に、段階的にエネルギーギャップが減少するチャーブ半導体(以下、多段階チャーブ半導体と称する)について説明する。

【0268】

先ず、i型の多段階チャーブ半導体をi型の半導体に接合したものを光導電層に使用した場合について説明する。

【0269】

図26(a)に示すように、i型の多段階チャーブ半導体32は、一方がi型の半導体26に接合されると共に、他方が透明電極31側のキャリアブロッキング層15に接合されており、透明電極31からのキャリアインジェクションを防止するエネルギー構造となっている。

【0270】

ここで、上記のi型の多段階チャーブ半導体32にi型の半導体26を接合した光導電層の製造方法について、以下に説明する。

【0271】

尚、i型の多段階チャーブ半導体32としてi型のa-Si_xC_{1-x}:H(i層で組成x=0.6, 0.8, 1)膜を用い、膜厚は1000Åとする。但し、i型の多段階チャーブ半導体32の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。代表的なP-CVD成膜条件として、成膜開始直後には、SiH₄ガスの供給量を50sccmとし、次のステップでは75sccmとし、最終ステップでは100sccmとする。CH₄ガスの供給量も多段階としている。即ち、成膜開始直後にはCH₄ガスの供給量を20sccmとし、次のステップでは10sccmとし、最終ステップではゼロとする。また、H₂ガスの供給量も多段階としている。即ち、成膜開始直後にはH₂ガスの供給量を200sccmとし、次のステップでは100sccmとし、最終ステップではゼロにする。これらのガスを反応炉にてグロー放電分解して、P_B=0.92Torr、RFパワー=50W、T_{sub}=300°Cで堆積させた。この条件で堆積したi型の多段階チャーブ半導体としてのi型多段階a-Si_xC_{1-x}:H膜(組成x=0.6, 0.8, 1)のドナー密度は10¹⁶cm⁻³であった。その上に、i型のa-Si:H膜を実施の形態2と同様にして成膜し、光導電層とした。

【0272】

上記のi型の多段階チャーブ半導体32は、キャリアブロッキング層15とi型の半導体26との接合によ

(48)

って形成される最大空乏層幅よりも薄く形成する必要がある。また、i型の多段階チャーブ半導体32中のドナー密度は、i型a-Si:H膜と同程度の10¹⁴cm⁻³～10¹⁶cm⁻³の範囲内であれば良い。

【0273】

また、i型の半導体26に換えて、a-Si:H膜中のドナー密度(N_D)が透明電極31側から遮光層18側に向かって増加するようにして形成されたi型の半導体28を使用することが考えられる。a-Si:H膜

10 中のドナー密度(N_D)を透明電極31側と遮光層18側とで異ならせるには、上記実施の形態2で述べたように、ドナー密度(N_D)を連続的に増加させる方法と、段階的に増加させる方法がある。

【0274】

ドナー密度を透明電極31側から遮光層18側に連続的に増加させた場合、そのエネルギー準位は、図26(b)に示すように、i型の半導体26'部分が遮光層18に向かって連続的に低下するようになっている。また、ドナー密度を透明電極31側から遮光層18側に段

20 階的に増加させた場合、そのエネルギー準位は、図26(c)に示すように、i型の半導体26''部分が遮光層18に向かって段階的に低下するようになっている。

【0275】

次に、p型の多段階チャーブ半導体をi型の半導体に接合したものを光導電層に使用した場合について説明する。

【0276】

図27(a)に示すように、p型の多段階チャーブ半導体33は、一方がi型の半導体26に接合されると共に、他方が透明電極31側のキャリアブロッキング層15に接合されており、透明電極31からのキャリアインジェクションを防止し得るエネルギー構造となっている。

【0277】

ここで、上記のp型の多段階チャーブ半導体33にi型の半導体26を接合した光導電層の製造方法について、以下に説明する。

【0278】

尚、p型の多段階チャーブ半導体33としてp型のa-Si_xC_{1-x}:H(i層で組成x=0.6, 0.8, 1)膜を用い、膜厚は300Åとする。但し、p型の多段階チャーブ半導体33の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。代表的なP-CVD成膜条件として、成膜開始直後には、SiH₄ガスの供給量を50sccmとし、次のステップでは75sccmとし、最終ステップでは100sccmとする。CH₄ガスの供給量も多段階としている。即ち、成膜開始直後にはCH₄ガスの供給量を20sccmとし、次のステップでは10sccmとし、最終ステップではゼロとする。ま

(特開平 08-262476)

(49)

た、 H_2 ガスの供給量も多段階としている。即ち、成膜開始直後には H_2 ガスの供給量を 200 sccm とし、次のステップでは 100 sccm とし、最終ステップではゼロにする。アクセプター添加用の B_2H_6 ガスの供給量は、一貫して 50 sccm とする。これらのガスを反応炉にて、 $P_B = 0.92 \text{ Torr}$ 、RFパワー = 50 W、 $T_{sub} = 280^\circ\text{C}$ で堆積させた。この条件で堆積した p 型の多段階チャーブ半導体としての i 型多段階 a-Si_xC_{1-x}:H 膜 (組成 $x = 0.6, 0.8, 1$) のアクセプター密度は 10^{17} cm^{-3} であった。その上に、i 型の a-Si : H 膜を実施の形態 2 と同様にして成膜し、光導電層とした。

【0279】

上記の p 型の多段階チャーブ半導体 3 は、キャリアプロッキング層 1 と i 型の半導体 2 との接合によって形成される最大空乏層幅よりも薄く形成する必要がある。また、p 型の多段階チャーブ半導体 3 中のアクセプター密度は、 10^{18} cm^{-3} 程度が望ましく、 $10^{16} \text{ cm}^{-3} \sim 10^{20} \text{ cm}^{-3}$ の範囲内であれば良い。

【0280】

また、i 型の半導体 2 に換えて、a-Si : H 膜中のドナー密度 (N_D) が透明電極 3 1 側から遮光層 1 8 側に向かって増加するようにして形成された i 型の半導体を使用することが考えられる。a-Si : H 膜中のドナー密度 (N_D) を透明電極 3 1 側と遮光層 1 8 側とで異ならせるには、上記実施の形態 2 で述べたように、ドナー密度 (N_D) を連続的に増加させる方法と、段階的に増加させる方法がある。

【0281】

ドナー密度を透明電極 3 1 側から遮光層 1 8 側に連続的に増加させた場合、そのエネルギー準位は、図 2 7 (b) に示すように、i 型の半導体 2 6' 部分が遮光層 1 8 に向かって連続的に低下するようになっている。また、ドナー密度を透明電極 3 1 側から遮光層 1 8 側に段階的に増加させた場合、そのエネルギー準位は、図 2 7 (c) に示すように、i 型の半導体 2 6'' 部分が遮光層 1 8 に向かって段階的に低下するようになっている。

【0282】

一般に、多段階チャーブ半導体は、段階的に製造パラメータ、例えば屈折率など最適値を設定しながら成膜されているので、エネルギーレベルが連続して減少するチャーブ半導体に比べて、緻密で良質な膜を作製することができる。また、多段階チャーブ半導体では、膜厚に比べてエネルギーレベルの変化量が大きくて対応できるが、連続チャーブ半導体では、対応しきれない場合がある。以下の表 4 に、これら、多段階チャーブ半導体と連続チャーブ半導体との機能比較を示す。

【0283】

【表 4】

(50)

物性値の変化の様子	連続チャーブ半導体	多段階チャーブ半導体
全体のエネルギー変化量	連続的で滑らか	階段状
製造時の難易度	小	大
膜質	△	○

【0284】

上記の表 4 から、連続チャーブ半導体では、対応しきれないエネルギーレベルの変化量に対しても多段階チャーブ半導体では、対応することができる事が分かる。

【0285】

一般に、2種類以上の半導体を接合した光導電層では、接合界面において電荷移動度が低下し、これによって、光導電層の応答速度が低下するという問題が生じる。これに対して、本実施の形態では、半導体同士の接合界面近傍の半導体の組成を連続的に、しかも光の屈折率を考慮して組成を変化させている、即ち接合される半導体 (i 型の半導体) と同じ屈折率になるように組成を変化させているので、光導電層の応答速度の低下を防止すると共に、組成変化した部分で光の反射を小さくし、光導電層に入射される光のロスの低減を図っている。

【0286】

以上のように、実施の形態 1、2 および 3 では、何れも光導電層と透明電極 3 1 との間、および光導電層と遮光層 1 8 との間に絶縁膜 (キャリアプロッキング層 1 5、キャリアプロッキング層 1 7) が形成されている。このように光導電層の両側に絶縁膜を設けることによって、キャリアインジェクションを阻止すると共に、書き込み光の光導電層での界面反射を小さくするようになっている。

【0287】

ところで、キャリアプロッキング層 1 5 あるいはキャリアプロッキング層 1 7 を設ける代わりに、i 型の半導体と同じエネルギーギャップを有する p 型の半導体又はワイドギャップの p 型半導体をキャリアプロッキングのために用いても同様の効果を得ることができる。光導電層の製造を考えた場合、キャリアプロッキング層として p 型の半導体を用いる方が、絶縁膜を用いるよりも望ましい。すなわち、キャリアプロッキング層として絶縁膜を形成する場合は E B 蒸着を行なうので、光導電層の製造プロセスが繁雑なものとなるが、キャリアプロッキング層として p 型の半導体を用いれば、i 型の半導体と同工程により製造することができる。

【0288】

以下の実施の形態 4、5、6 では、キャリアプロッキング層として p 型の半導体を使用した場合について説明する。

【0289】

【実施の形態 4】さらに、図 28 (a) ないし図 35 (c) に基づいて説明すれば、以下の通りである。尚、

(特開平 08-262476)

(51)

本実施の形態では、実施の形態1、2、3に示した各素子構造において、遮光層18側のキャリアブロッキング層17として光導電層を形成するi型の半導体と同じエネルギーギャップを有するp型の半導体を使用した光書き込み型液晶素子と、遮光層18側のキャリアブロッキング層17として光導電層を形成するi型の半導体よりも大きなエネルギーギャップを有するp型の半導体を使用した光書き込み型液晶素子について説明する。

【0290】

先ず、光導電層を形成するi型の半導体と同じエネルギーギャップを有するp型の半導体を使用した光書き込み型液晶素子について説明する。この光書き込み型液晶素子に備えられた光導電層は、図28(a)に示すように、i型の半導体26が、一方がキャリアブロッキング層15を介して透明電極31に接合され、他方がp型の半導体34を介して遮光層18に接合されている。これにより、透明電極31からのキャリアインジェクションは、キャリアブロッキング層15にて阻止することができ、また、遮光層18からのキャリアインジェクションは、i型の半導体26とp型の半導体34とで形成される空乏層によって阻止することができる。

【0291】

ここで、遮光層18側に形成されるp型の半導体34には、a-Si:Hを用い、その成膜方法について以下に説明する。膜厚は、150Åとする。尚、上記のp型の半導体34は、キャリアブロッキング層15上にi型の半導体26を成膜した後行なわれるものとする。このきのi型の半導体26の成膜は、実施の形態1に記載の方法により成膜するものとする。尚、このp型の半導体の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。代表的なP-CVD成膜条件として、SiH₄=50sccm、H₂=200sccm、アクセプター添加用のB₂H₆(H₂希釈100ppm)=50sccmを供給するものとする。これらのガスを反応炉に導入し、P_B=0.92Torr、RFパワー=50W、T_{sub}=280°Cで堆積した。この条件で堆積したp型の半導体34としてのp型a-Si:H膜のアクセプター密度は10¹⁷cm⁻³であった。

【0292】

また、i型の半導体26に換えて、a-Si:H膜中のドナー密度(N_D)が透明電極31側から遮光層18側に向かって増加するようにして形成されたi型の半導体を使用することが考えられる。a-Si:H膜中のドナー密度(N_D)を透明電極31側と遮光層18側とで異ならせるには、上記実施の形態2で述べたように、ドナー密度(N_D)を連続的に増加させる方法と、段階的に増加させる方法がある。

【0293】

ドナー密度を透明電極31側から遮光層18側に連

(52)

続的に増加させた場合、そのエネルギー準位は、図28(b)に示すように、i型の半導体26'部分が遮光層18に向かって連続的に低下するようになっている。また、ドナー密度を透明電極31側から遮光層18側に段階的に増加させた場合、そのエネルギー準位は、図28(c)に示すように、i型の半導体26''部分が遮光層18に向かって段階的に低下するようになっている。

【0294】

また、上記のように、遮光層18側のキャリアブロッキング層として光導電層を形成するi型の半導体と同じエネルギーギャップを有するp型の半導体を使用した光書き込み型液晶素子として、図28(a)ないし図28(c)に示すものの他に、以下の図29(a)ないし図35(c)に示す素子構造の光書き込み型液晶素子を使用しても良い。尚、これらの素子構造は、上記した実施の形態3で説明した図20(a)ないし図22(c)および図24(a)ないし図27(c)に対応するものであって、それぞれのキャリアブロッキング層17の代わりにp型の半導体34を使用したものである。

【0295】

次に、図28(a)ないし(c)の素子構造の遮光層18側のキャリアブロッキング層として光導電層を形成するi型の半導体よりも大きなエネルギーギャップを有するp型の半導体を用いた絶縁物/i/ワイドp型素子構造(図示せず)の成膜方法について以下に説明する。尚、上記p型のワイドギャップ半導体として、実施の形態3で使用したp型のワイドギャップ半導体28を使用するものとする。

【0296】

この半導体としてa-Si_xC_{1-x}:H(組成x=0.8)半導体を用い、膜厚は120Åとする。尚、この半導体の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。代表的なP-CVD成膜条件として、SiH₄=75sccm、CH₄=10sccm、H₂=100sccm、アクセプター添加用のB₂H₆(H₂希釈100ppm)=50sccmを供給するものとする。これらのガスを反応炉に導入し、P_B=0.92Torr、RFパワー=50W、T_{sub}=280°Cで堆積した。この条件で堆積したp型の半導体34としてのp型a-Si_xC_{1-x}:H(組成x=0.8)膜のアクセプター密度は10¹⁷cm⁻³であった。

【0297】

以上のように、光導電層の遮光層18側にキャリアブロッキング層として絶縁膜を形成する代わりにp型の半導体を形成することにより、光導電層の遮光層18側にキャリアブロッキング層として絶縁膜を形成した場合と同様の効果を得ることができる。

【0298】

さらに、ワイドギャップのp型半導体を用いた場合は、

(特開平 08-262476)

(53)

後述の実施の形態6にて説明する。この場合、光導電層の薄膜効果($150\text{ \AA} \rightarrow 120\text{ \AA}$)があり、余分な電圧ロスを無くすことができる。

【0299】

また、図28(a)ないし図35(c)の透明電極31側のキャリアプロッキング層に絶縁物、遮光層18側のキャリアプロッキング層にp型半導体を用いた素子では、以下の効果がある。即ち、透明電極31と光導電層との間には大きな屈折率の差がある。これをチャーピ半導体で対応しようとしても組成比に限界がある。したがって、そのワンクッシュョンとして、透明電極31と光導電層の中間の屈折率を有する絶縁層を介在させることで、書込み光の界面反射を小さくすることができる。さらに、光導電層が膜厚となって、残留熱歪や残留応力を緩和させて、膜の密着強度が向上する効果も有する。

【0300】

しかも、p型の半導体を形成するのに、i型の半導体を形成する方法と同様の方法で良いので、製造プロセスも簡略化される。

【0301】

【実施の形態5】本発明のさらに他の実施の形態について図36(a)ないし図39(c)に基づいて説明すれば、以下の通りである。

【0302】

本実施の形態では、上記の実施の形態1および実施の形態2、実施の形態3で示される素子構造の透明電極31側の絶縁膜からなるキャリアプロッキング層15の代わりに、p型の半導体を使用した光書込み型液晶素子について説明する。

【0303】

図36(a)ないし図39(c)に示す素子構造は、上記実施の形態3の図21(a)ないし図21R>1(c)、図22(a)ないし図22(c)、図25(a)ないし図25(c)、図27(a)ないし図27(c)に示されるキャリアプロッキング層としてのp型の半導体、即ち光導電層を形成するi型の半導体と同じエネルギーギャップあるいはそれよりも大きなエネルギーギャップを有する半導体を備えている。尚、これらの素子の製造方法は、上記各実施の形態に記載の方法とし、また、膜厚やアクセプター密度も各実施の形態に記載した範囲内であれば良いものとする。

【0304】

以上のように、透明電極31側に絶縁膜からなるキャリアプロッキング層の代わりにp型の半導体を使用することで、光導電層の透明電極31側にp型の半導体とi型の半導体との接合により空乏層が形成される。この空乏層によって、光導電層の透明電極31側が遮光層18側より高抵抗領域となるので、光導電層の遮光層18側の領域よりも高電圧が印加される。一方、遮光層18

(54)

側では、絶縁膜からなるキャリアプロッキング層17により暗時のキャリアインジェクションを阻止することができる。さらに、遮光層18側のキャリアプロッキング層17によっても光導電層に存在する歪成分を緩和することができる。したがって、光導電層における光電流が増加する一方で暗電流が減少し光感度が向上すると共に、膜の密着強度も向上する。

【0305】

【実施の形態6】本発明のさらに他の実施の形態について図40(a)ないし図45(c)、図46R>6および図69に基づいて説明すれば、以下の通りである。

【0306】

本実施の形態に係る光書込み型液晶素子の素子構造は、図40(a)に示すように、上記実施の形態5(図36(a))に示した素子構造の遮光層18側のキャリアプロッキング層17の代わりにp型の半導体34を使用した構造となっている。尚、上記の素子構造の光書込み型液晶素子の製造方法は、上記の各実施の形態に示す通りであり、反応条件等の製造条件に関しては各実施の形態中に示された範囲内であれば特に問題としない。

【0307】

上記p型の半導体34は、i型の半導体26と同じエネルギーギャップを有するものである。また、遮光層18側のキャリアプロッキング層として、i型の半導体26よりも大きなエネルギーギャップを有するp型の半導体を使用しても良い。

【0308】

i型の半導体26と同じエネルギーギャップを有するp型の半導体34を遮光層18側のキャリアプロッキング層として使用した場合、その膜厚は、光導電層のi型の半導体26のドナー密度が 10^{18} cm^{-3} 、p型の半導体34のアクセプター密度が 10^{19} cm^{-3} のとき、85Åと設定される。

【0309】

また、i型の半導体26よりも大きなエネルギーギャップを有するp型の半導体($a-\text{Si}_x\text{C}_{1-x}\text{H}$ 、組成 $x=0.8$)を遮光層18側のキャリアプロッキング層として使用した場合、その膜厚は、光導電層のi型の半導体26のドナー密度が 10^{18} cm^{-3} 、p型の半導体34のアクセプター密度が 10^{19} cm^{-3} のとき、65Åと設定される。

【0310】

上記膜厚は、上記p型の半導体が、暗時の遮光層18からのキャリアインジェクションを阻止し得るエネルギー構造をとり得るための理論値である。このことは、理論値は、実施の形態1の理論式によって導かれたものである。

【0311】

しかしながら、キャリアプロッキング層としてp型の半導体を使用する場合には、その膜厚は、光導電層を構

(特開平 08-262476)

(55)

成する半導体のドナー密度およびアクセプター密度によって左右される。つまり、ドナー密度が大きくなれば、p型の半導体の膜厚を大きくしなければならないが、アクセプター密度が大きくなればp型の半導体の膜厚を小さくすることができる。

【0312】

特に、光導電層を構成する半導体のエネルギーギャップと同じp型の半導体をキャリアプロッキング層として使用した場合、P-CVD法による成膜においてドーパントガスだけの増加だけで成膜することができるので、ワイドギャップ半導体を用いた場合に比べて製造方法を簡略化できる。また、遮光層18側に絶縁膜をキャリアプロッキング層として用いる場合に比べても、p型の半導体であれば、i型の半導体の成膜から連続してキャリアプロッキング層を成膜することができるので、製造時間を短縮することができる。

【0313】

ここで、遮光層18側のキャリアプロッキング層の膜厚と光感度と解像度との関係を図46に示す。尚、ここでは、キャリアプロッキング層としてp型の半導体を用いた一般的な例として、図40(a)に示す素子構造の透明電極31側のキャリアプロッキング層としてのp型の半導体の膜厚を300Åに設定した時、遮光層18側のキャリアプロッキング層の膜厚と、光感度(必要な書込み光の光強度)および解像度との関係を示す。

【0314】

図46から、光感度は、遮光層18側のキャリアプロッキング層が85Åよりも大きくなると急激に低下していることが分かる。これは、前述した光導電層の設計法から導かれる理論値と一致しており、理論値以上の膜厚では、遮光層18側に余分な空乏層が形成され、この空乏層により電圧をロスするためである。

【0315】

一方、解像度は、遮光層18側のキャリアプロッキング層が85Åの時最高になっていることが分かる。このことも、設計法から導かれる結果と一致しており、理論値以下の膜厚では、遮光層18側からのキャリアインジェクションが起こり易くなり、キャリアが横方向に拡散するためである。また、理論値以上の膜厚では、遮光層18側に余分な空乏層が形成されることによる電圧ロスによって、透明電極31側の書込み光によってキャリアが生成される光導電層に十分な電圧が印加されないからである。

【0316】

以上のことから、次のことが分かる。遮光層18側のキャリアプロッキング層の膜厚を上記のように設計することで、遮光層18からのキャリア流入防止と、光導電層の書込み光入射領域に、液晶層側よりも高い電圧がかかるようにすることができる。即ち、最適理論値においては、キャリア流入による横方向拡散が防止される。

(56)

そして、遮光層18側に発生する空乏層による電圧ロスを最低限に抑え、書込み光入射領域に発生する空乏層に効率良く電圧がかかって、光電流を増大させることができる。

【0317】

尚、上記の光書き込み型液晶素子の素子構造は、図40(a)に示したように、i型の半導体26のドナー密度が均一な場合について説明したが、光電流の流れを良くするために、i型の半導体26のドナー密度が透明電極31側よりも遮光層18側に大きくなるように構成しても良い。

【0318】

例えば、i型の半導体26としてのa-Si:H膜中のドナー密度を透明電極31側と遮光層18側とで異なる場合には、上記実施の形態2で述べたように、ドナー密度を連続的に増加させる方法と、段階的に増加させる方法がある。

【0319】

ドナー密度を透明電極31側から遮光層18側に連続的に増加させた場合、そのエネルギーバンドダイヤグラムは、図40(b)に示すように、i型の半導体26'部分が遮光層18に向かって連続的に低下するようになっている。また、ドナー密度を透明電極31側から遮光層18側に段階的に増加させた場合、そのエネルギーバンドダイヤグラムは、図40(c)に示すように、i型の半導体26''部分が遮光層18に向かって段階的に低下するようになっている。

【0320】

また、本実施の形態では、図40に示すように、光導電層として、透明電極31側からp型の半導体26a、i型の半導体26、p型の半導体28と積層された素子構造、即ちp/i/p型の素子構造となっているが、この他の図41(a)ないし図45(c)に示す素子構造であっても良い。

【0321】

即ち、図41(a)ないし図41(c)には、p型の半導体26a、i型の半導体26、p型のワイドギャップ半導体28が積層されたp/i/ワイドp型の素子構造を示し、また、図42(a)ないし図42(c)には、p型のワイドギャップ半導体28、i型の半導体26、p型の半導体26aが積層されたワイドp/i/ワイドp型の素子構造を示す。また、図43(a)ないし図43(c)には、p型のワイドギャップ半導体28、i型の半導体26、p型のワイドギャップ半導体28が積層されたワイドp/i/ワイドp型の素子構造を示し、また、図44(a)ないし図44(c)には、p型のチャーピ半導体30、i型の半導体26、p型の半導体26aが積層されたチャーピp/i/p型の素子構造を示し、さらに、図45(a)ないし図45(c)には、p型のチャーピ半導体30、i型の半導体26、p型のワイドギャップ

(特開平 08-262476)

(57)

半導体 2 8 が積層されたチャーブ p / i / ワイド p 型の素子構造を示す。

【0322】

尚、図 41 (a)、図 42 (a)、…図 45 R>5 (a) には、i 型の半導体 2 6 のドナー密度が均一な状態を示し、図 41 (b)、図 42 (b)、…図 45 (b) には、i 型の半導体 2 6 のドナー密度を透明電極 3 1 側から遮光層 1 8 側に連続的に増加させた状態を示し、図 41 (c)、図 42 (c)、…図 45 (c) には、i 型の半導体 2 6 のドナー密度を透明電極 3 1 側から遮光層 1 8 側に段階的に増加させた状態を示すものである。

【0323】

ここで、遮光層 1 8 側のキャリアプロッキング層として、p 型のワイドギャップ半導体と p 型の半導体とを使用した場合の遮光層 1 8 側のキャリアプロッキング層の膜厚と光感度との関係を図 6 9 に示す。

【0324】

図 6 9 から、p 型のワイドギャップ半導体を遮光層 1 8 側のキャリアプロッキング層として用いた場合の方が、p 型の半導体を遮光層 1 8 側のキャリアプロッキング層として用いた場合よりもキャリアプロッキング層の膜厚を薄くすることができる (8.5 Å から 6.5 Å)。これにより、遮光層 1 8 側のキャリアプロッキング層によって形成される空乏層をさらに狭くすることができるので、電圧ロスが低減し、光感度および解像度を向上させることができる。

【0325】

特に、図 40 ないし図 45 の p i p 系の素子構造では、一つの製造装置でガス系を変化させるだけで成膜できるので、製造方法における簡略化の効果が大きい。

【0326】

尚、図示しないが、例えば p 型の半導体に換えて、p 型の多段階チャーブ半導体、ワイドギャップの p 型の連続チャーブ半導体、またはワイドギャップの p 型の多段階チャーブ半導体を使用した場合についても、上記した図 40 (a) ないし図 45 (c) の素子構造における効果と全く同一の効果を得ることができる。

【0327】

以上の実施の形態 1 ないし実施の形態 6 では、キャリアプロッキング層として絶縁膜あるいは p 型の半導体の何れかを使用する場合に、キャリアプロッキング層を i 型の半導体の両端側に設けた素子構造について説明しているが、以下の実施の形態 7 ないし実施の形態 10 では、遮光層側のキャリアプロッキング層を光導電層中に設けた素子構造の光書き込み型液晶素子について説明する。

【0328】

【実施の形態 7】 本発明のさらに他の実施の形態について図 47 (a) ないし図 52 (c) に基づいて説明すれば、以下の通りである。

(58)

【0329】

本実施の形態の光書き込み型液晶素子の光導電層の素子構造は、図 47 (a) に示すように、実施の形態 1 の図 1 に示した素子構造の遮光層 1 8 側のキャリアプロッキング層 1 7 が、光導電層 1 6 の途中に形成された構造となっている。

【0330】

ここで、上記の素子構造の光書き込み型液晶素子の製造方法について以下に説明する。

【0331】

先ず、絶縁性透明基板としてのガラス基板上に、スピッタリング法により、 $I_{n2}(S_n)O_3$ 膜を 1000 \AA 、 $S_nO_2: Sb$ 膜を 300 \AA 順に積層して透明電極 5 1 を形成し、この上に EB 蒸着法により TiO_2 膜からなるキャリアプロッキング層 5 2 をベースプレッシャー ($P_B = 1 \times 10^{-6}\text{ Torr}$)、蒸着レイト ($R = 5\text{ \AA/s}$)、基板温度 ($T_s = 300^\circ\text{C}$) で 850 \AA の厚さに蒸着した。

【0332】

次いで、プラズマ CVD 法 (化学気相成長法) により 20 水素化非晶質シリコン層からなる $a-Si:H$ 膜 5 3 を次のようにして厚さ 6.0 \mu m 堆積した。即ち、 $a-Si:H$ 膜 5 3 は、 SiH_4 ガスを反応炉に導入し、グローフ放電分解し、 $a-Si:H$ 層を 6.0 \mu m 堆積した。

【0333】

次に、この $a-Si:H$ 膜 5 3 上に、EB 蒸着法により TiO_2 膜からなるキャリアプロッキング層 5 4 を前記のキャリアプロッキング層 5 2 の蒸着と同条件で 350 \AA の厚さに蒸着した。

【0334】

30 次いで、このキャリアプロッキング層 5 4 上に、プラズマ CVD 法 (化学気相成長法) により水素化非晶質シリコン層からなる $a-Si:H$ 膜 5 5 を上記の $a-Si:H$ 膜 5 3 と同様にして厚さ 4.0 \mu m 堆積した。

【0335】

さらに、この $a-Si:H$ 膜 5 5 上に、遮光層 ($a-SiGe:H$ 膜) 5 6 をプラズマ CVD 法により 500 \AA 堆積した。この遮光層 5 6 の成膜方法は、実施の形態 1 と同様とする。

【0336】

40 このように、本実施の形態では、遮光層 5 6 側のキャリアプロッキング層 5 4 が光導電層を構成する $a-Si:H$ 膜中に形成された素子構造となり、上記した各実施の形態と同様に、暗時の遮光層 5 6 からのキャリアインジェクションを阻止し得るエネルギー構造となっている。

【0337】

したがって、このキャリアプロッキング層 5 4 は、 $a-Si:H$ 膜中の透明電極 5 1 側に形成される空乏層にかかることなく、且つ、透明電極 5 1 側から入射された 50 書込み光により生成されるキャリアの量が十分に小さ

(特開平 08-262476)

(59)

くなる位置に設ける必要がある。

【0338】

また、キャリアブロッキング層54を形成する領域のa-Si:H膜中のドナー密度は、透明電極51側に形成される空乏層領域のドナー密度よりも大きくすることが望ましい。これにより、電圧ロスが少なくなるので、光感度が良好なものとなり、光電流が良く流れる。

【0339】

尚、上記の光書き込み型液晶素子の素子構造は、図47(a)に示したように、i型の半導体53およびi型の半導体55のドナー密度が均一な状態について説明したが、光電流の流れを良くするために、i型の半導体53およびi型の半導体55のドナー密度が透明電極51側よりも遮光層56側に大きくなるように構成しても良い。

【0340】

したがって、i型の半導体53およびi型の半導体55としてのa-Si:H膜中のドナー密度を透明電極51側と遮光層56側とで異ならせるには、上記実施の形態2で述べたように、ドナー密度を連続的に増加させる方法と、段階的に増加させる方法がある。

【0341】

ドナー密度を透明電極51側から遮光層56側に連続的に増加させた場合、そのエネルギー準位は、図47(b)に示すように、i型の半導体53'・55'部分が遮光層56に向かって連続的に低下するようになっている。また、ドナー密度を透明電極51側から遮光層56側に段階的に増加させた場合、そのエネルギー準位は、図47(c)に示すように、i型の半導体53''・55''部分が遮光層56に向かって段階的に低下するようになっている。

【0342】

また、本実施の形態では、図47に示すように、光導電層として、透明電極51側から絶縁膜からキャリアブロッキング層(I)52、i型の半導体53、キャリアブロッキング層(I)54、i型の半導体55と積層された素子構造、即ちI/i/中間I/i型の素子構造となっているが、この他の図48(a)ないし図52(c)に示す素子構造であっても良い。

【0343】

即ち、図48(a)ないし図48(c)には、キャリアブロッキング層(I)52、i型のワイドギャップ半導体57、i型の半導体53、キャリアブロッキング層(I)54、i型の半導体55が順に積層されたI/ワイドi/i/中間I/i型の素子構造を示し、また、図49(a)ないし図49(c)には、キャリアブロッキング層(I)52、p型の半導体58、i型の半導体53、キャリアブロッキング層(I)54、i型の半導体55が順に積層されたI/p/i/中間I/i型の素子構造を示している。また、図50(a)ないし図50

(60)

(c)には、キャリアブロッキング層(I)52、p型のワイドギャップ半導体59、i型の半導体53、キャリアブロッキング層(I)54、i型の半導体55が順に積層されたI/ワイドp/i/中間I/i型の素子構造を示し、また、図51(a)ないし図51(c)には、キャリアブロッキング層(I)52、i型のチャーブ半導体60、i型の半導体53、キャリアブロッキング層(I)54、i型の半導体55が順に積層されたI/チャーブi/i/I/i型の素子構造を示し、さらに、図52(a)ないし図52(c)には、キャリアブロッキング層(I)52、p型のチャーブ半導体61、i型の半導体53、キャリアブロッキング層(I)54、i型の半導体55が順に積層されたI/チャーブp/i/I/i型の素子構造を示している。

【0344】

尚、図48(a)、図49(a)、…図52R>2(a)は、i型の半導体53およびi型の半導体55のドナー密度が均一な状態のエネルギー構造を示し、図4848(b)、図49(b)、…図52(b)は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に連続的に増加させた状態のエネルギー構造を示し、図48(c)、図49(c)、…図52(c)は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に段階的に増加させた状態のエネルギー構造を示すものである。

【0345】

また、キャリアブロッキング層(I)52に接合されるチャーブ半導体の代わりに、段階的にエネルギー準位を低下させる多段階チャーブ半導体を使用しても良い。

【0346】

【実施の形態8】本発明のさらに他の実施の形態について図53(a)ないし図58(c)に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記の実施の形態7と同一の機能を有する部材には、同一の番号を付記し、その説明は省略する。

【0347】

本実施の形態の光書き込み型液晶素子の光導電層の素子構造は、図53(a)に示すように、実施の形態7に示した素子構造の遮光層56側のキャリアブロッキング層54に換えて光導電層と同じエネルギーギャップを有するp型の半導体62が、光導電層の途中に形成された構造となっている。これにより、上記素子構造は、光導電層の遮光層56側に空乏層が形成されるので、遮光層56側からのキャリアインジェクションを阻止し得るエネルギー構造となっている。

【0348】

上記のp型の半導体62の膜厚は、光導電層の周辺ドナー密度が 10^{18}cm^{-3} 、p型の半導体62のアクセプタ密度が 10^{19}cm^{-3} のとき、 170\AA となる。上記p型

(特開平 08-262476)

(61)

の半導体62が、暗時の遮光層56からのキャリアインジェクションを阻止し得るエネルギー構造をとり得るための理論値である。この理論値は、実施の形態1の理論式によって導かれたものである。

【0349】

このように、光導電層内に設けられるp型の半導体62の膜厚は、光導電層を構成する半導体のドナー密度およびアクセプター密度によって左右される。つまり、ドナー密度が大きくなれば、p型の半導体の膜厚を大きくしなければならないが、アクセプター密度が大きくなればp型の半導体の膜厚を小さくできる。

【0350】

ここで、上記の素子構造の光書き込み型液晶素子の製造方法について以下に説明する。

【0351】

先ず、絶縁性透明基板としてのガラス基板上に、スパッタリング法により、 $In_2(Sn)_O_3$ 膜を1000Å、 $SnO_2: Sb$ 膜を300Å順に積層して透明電極51を形成し、この上にEB蒸着法により TiO_2 膜からなるキャリアプロッキング層52をベースプレッシャー(P_b) = 1×10^{-6} Torr、蒸着レイ特(R) = 5Å/s、基板温度(T_s) = 300°Cで850Åの厚さに蒸着した。

【0352】

次いで、プラズマCVD法(化学気相成長法)により水素化非晶質シリコン層からなるa-Si:H膜53を次のようにして厚さ6.0μm堆積した。即ち、a-Si:H膜53は、 SiH_4 ガスを反応炉に導入し、放電分解し、a-Si:H層を6.0μm堆積した。

【0353】

次に、このa-Si:H膜53上に、p型の半導体62としてa-Si:H半導体を用い、代表的なP-CVD成膜条件として、 SiH_4 、 H_2 、アクセプター添加用の B_2H_6 を供給するものとする。これらのガスを反応炉に導入し、堆積した。この条件で堆積したp型の半導体62としてのp型のa-Si:H膜のアクセプター密度は $10^{17} c m^{-3}$ であった。尚、このp型の半導体の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。

【0354】

次いで、このp型の半導体62上に、プラズマCVD法(化学気相成長法)により水素化非晶質シリコン層からなるa-Si:H膜55を上記のa-Si:H膜53と同様にして厚さ4.0μm堆積した。

【0355】

さらに、このa-Si:H膜55上に、遮光層(a-SiGe:H膜)56をプラズマCVD法により500Å堆積した。この遮光層56の成膜方法は、実施の形態1と同様とする。

【0356】

このように、本実施の形態では、遮光層56側のキャ

(62)

リアブロッキング層(p型の半導体62)が光導電層を構成するa-Si:H膜中に形成された素子構造となり、上記した各実施の形態と同様に、暗時の遮光層56からのキャリアインジェクションを阻止し得るエネルギー構造となっている。

【0357】

したがって、このキャリアアブロッキング層(p型の半導体62)は、a-Si:H膜中の透明電極51側に形成される空乏層にかかることなく、且つ、透明電極51側から入射された書き込み光により生成されるキャリアの量が十分に小さくなる位置に設ける必要がある。

【0358】

また、キャリアアブロッキング層(p型の半導体62)を形成する領域のa-Si:H膜中のドナー密度は、透明電極51側に形成される空乏層領域のドナー密度よりも大きくなることが望ましい。これにより、電圧ロスが少なくなるので、光感度が良好なものとなり、光電流が良く流れる。

【0359】

20 尚、上記の光書き込み型液晶素子の素子構造は、図53(a)に示したように、i型の半導体53およびi型の半導体55のドナー密度が均一な状態について説明したが、光電流の流れを良くするために、i型の半導体53およびi型の半導体55のドナー密度が透明電極51側よりも遮光層56側に大きくなるように構成する必要がある。

【0360】

例えれば、i型の半導体53およびi型の半導体55としてのa-Si:H膜中のドナー密度を透明電極51側と遮光層56側とで異なるには、上記実施の形態2で述べたように、ドナー密度を連続的に増加させる方法と、段階的に増加させる方法とがある。

【0361】

ドナー密度を透明電極51側から遮光層56側に連続的に増加させた場合、そのエネルギー準位は、図53(b)に示すように、i型の半導体53'・55'部分が遮光層56に向かって連続的に低下するようになっている。また、ドナー密度を透明電極51側から遮光層56側に段階的に増加させた場合、そのエネルギー準位は、図53(c)に示すように、i型の半導体53''・55''部分が遮光層56に向かって段階的に低下するようになっている。

【0362】

また、本実施の形態では、図53(a)なし図53(c)に示すように、光導電層として、透明電極51側から絶縁膜からキャリアアブロッキング層(I)52、i型の半導体53、p型の半導体62、i型の半導体55と積層された素子構造、即ちI/i/p/i型の素子構造となっているが、この他の図54(a)なし図58(c)に示す素子構造であっても良い。

(特開平 08-262476)

(63)

【0363】

即ち、図54(a)ないし図54(c)には、キャリアプロッキング層(I)52、i型のワイドギャップ半導体57、i型の半導体53、p型の半導体62、i型の半導体55が順に積層されたI/wide i/i/中間p/i型の素子構造を示し、また、図55(a)ないし図55(c)には、キャリアプロッキング層(I)52、p型の半導体58、i型の半導体53、p型の半導体62、i型の半導体55が順に積層されたI/p/i/中間p/i型の素子構造を示している。また、図56(a)ないし図56(c)には、キャリアプロッキング層(I)52、p型のワイドギャップ半導体59、i型の半導体53、p型の半導体62、i型の半導体55が順に積層されたI/wide p/i/中間p/i型の素子構造を示し、また、図57(a)ないし図57R>7(c)には、キャリアプロッキング層(I)52、i型のチャーブ半導体60、i型の半導体53、p型の半導体62、i型の半導体55が順に積層されたI/チャーブ i/i/中間p/i型の素子構造を示し、さらに、図58(a)ないし図58(c)には、キャリアプロッキング層(I)52、p型のチャーブ半導体61、i型の半導体53、p型の半導体62、i型の半導体55が順に積層されたI/チャーブ p/i/中間p/i型の素子構造を示している。

【0364】

尚、図54(a)、図55(a)、…図58R>8(a)は、i型の半導体53およびi型の半導体55のドナー密度が均一な状態のエネルギー構造を示し、図5454(b)、図55(b)、…図58(b)は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に連続的に増加させた状態のエネルギー構造を示し、図54(c)、図55(c)、…図58(c)は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に段階的に増加させた状態のエネルギー構造を示すものである。

【0365】

また、キャリアプロッキング層(I)52に接合されるチャーブ半導体の代わりに、段階的にエネルギー準位を低下させる多段階チャーブ半導体を使用しても良い。

【0366】

〔実施の形態9〕本発明のさらに他の実施の形態について図59(a)ないし図64(c)に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記の各実施の形態と同一の機能を有する部材には、同一の番号を付記し、その説明は省略する。

【0367】

本実施の形態の光書込み型液晶素子の光導電層の素子構造は、図59(a)ないし図64(c)に示すように、実施の形態8の図53(a)ないし図58(c)に

(64)

示した各素子構造において、p型の半導体62の代わりにi型の半導体53よりもエネルギーギャップの大きいp型のワイドギャップ半導体63を使用したものである。これにより、各素子構造は、光導電層の遮光層56側に空乏層が形成されるので、遮光層56側からのキャリアインジェクションを阻止し得るエネルギー構造となっている。

【0368】

上記のp型のワイドギャップ半導体63は、 $a-Si_{x}C_{1-x}:H$ (組成 $x=0.8$) を用い、その膜厚は、光導電層の周辺ドナー密度が $10^{18}cm^{-3}$ 、p型のワイドギャップ半導体63のアクセプター密度が $10^{19}cm^{-3}$ のとき、 130 \AA となる。この膜厚は、上記p型のワイドギャップ半導体63が、暗時の遮光層56からのキャリアインジェクションを阻止し得るエネルギー構造をとり得るための理論値である。

【0369】

このように、光導電層内に設けられるp型の半導体62の膜厚は、光導電層を構成する半導体のドナー密度およびアクセプター密度によって左右される。つまり、ドナー密度が大きくなれば、p型の半導体の膜厚を大きくしなければならないが、アクセプター密度が大きくなればp型の半導体の膜厚を小さくすることができる。

【0370】

ここで、上記の素子構造の光書込み型液晶素子の製造方法について以下に説明する。

【0371】

まず、絶縁性透明基板としてのガラス基板上に、スペッタリング法により、 $Sn_2(Sn)O_3$ 膜を 1000 \AA 、 $SnO_2: Sb$ 膜を 300 \AA 順に積層して透明電極51を形成し、この上にEB蒸着法により TiO_2 膜からなるキャリアプロッキング層52をベースプレッシャー($P_B = 1 \times 10^{-6} \text{ Torr}$)、蒸着レイト($R = 5\text{ \AA/s}$)、基板温度($T_s = 300^\circ\text{C}$)で 850 \AA の厚さに蒸着した。

【0372】

次いで、プラズマCVD法(化学気相成長法)により水素化非晶質シリコン層からなる $a-Si:H$ 膜53を次のようにして厚さ $6.0\mu\text{m}$ 堆積した。即ち、 $a-Si:H$ 膜53は、 SiH_4 ガスを反応炉に導入し、グロー放電分解し、 $a-Si:H$ 層を $6.0\mu\text{m}$ 堆積した。

【0373】

次に、この $a-Si:H$ 膜53上に、p型のワイドギャップ半導体63として $a-Si_xC_{1-x}:H$ (組成 $x=0.8$) 半導体を用い、代表的なP-CVD成膜条件として、 SiH_4 、 CH_4 、 H_2 、アクセプター添加用の B_2H_6 を供給するものとする。これらのガスを反応炉に導入し、グロー放電分解し、 350 \AA 堆積した。この条件で堆積したp型のワイドギャップ半導体63としてのp型の $a-Si_xC_{1-x}:H$ (組成 $x=0.8$) のアクセプター密度は $10^{16}cm^{-3}$ であった。尚、このp型の半導

(特開平 08-262476)

(65)

体の組成や膜厚は、上記した条件に限定するものではなく、多くの光電流を流すための範囲内で他の材料を用いても良い。

【0374】

次いで、このp型のワイドギャップ半導体63上に、プラズマCVD法（化学気相成長法）により水素化非晶質シリコン層からなるa-Si:H膜55を上記のa-Si:H膜53と同様にして厚さ4.0μm堆積した。

【0375】

さらに、このa-Si:H膜55上に、遮光層（a-SiGe:H膜）56をプラズマCVD法により500.0Å堆積した。この遮光層56の成膜方法は、実施の形態1と同様とする。

【0376】

このように、本実施の形態では、遮光層56側のキャリアブロッキング層としてp型のワイドギャップ半導体63が光導電層を構成するa-Si:H膜中に形成された素子構造となり、上記した各実施の形態と同様に、暗時の遮光層56からのキャリアインジェクションを阻止し得るエネルギー構造となっている。

【0377】

尚、上記の光書き込み型液晶素子の素子構造は、図59(a)に示したように、i型の半導体53およびi型の半導体55のドナー密度が均一な状態について説明したが、光電流の流れを良くするために、i型の半導体53およびi型の半導体55のドナー密度が透明電極51側よりも遮光層56側に大きくなるように構成することが望ましい。

【0378】

例えば、i型の半導体53およびi型の半導体55としてのa-Si:H膜中のドナー密度を透明電極51側と遮光層56側とで異ならせるには、上記実施の形態2で述べたように、ドナー密度を連続的に増加させる方法と、段階的に増加させる方法がある。

【0379】

ドナー密度を透明電極51側から遮光層56側に連続的に増加させた場合、そのエネルギー準位は、図59(b)に示すように、i型の半導体53'・55'部分が遮光層56に向かって連続的に低下するようになっている。また、ドナー密度を透明電極51側から遮光層56側に段階的に増加させた場合、そのエネルギー準位は、図59(c)に示すように、i型の半導体53''・55''部分が遮光層56に向かって段階的に低下するようになっている。

【0380】

また、本実施の形態では、図59(a)ないし図59(c)に示すように、光導電層として、透明電極51側から絶縁膜からなるキャリアブロッキング層(I)52、i型の半導体53、p型のワイドギャップ半導体63、i型の半導体55と積層された素子構造、即ちI/i/

(66)

(中間)ワイドp/i型の素子構造となっているが、この他の図60(a)ないし図64(c)に示す素子構造であっても良い。

【0381】

即ち、図60(a)ないし図60(c)には、キャリアブロッキング層(I)52、i型のワイドギャップ半導体57、i型の半導体53、p型のワイドギャップ半導体63、i型の半導体55が順に積層されたI/ワイドp/i/(中間)ワイドp/i型の素子構造を示し、また、図61(a)ないし図61(c)には、キャリアブロッキング層(I)52、p型の半導体58、i型の半導体53、p型のワイドギャップ半導体63、i型の半導体55が順に積層されたI/p/i/(中間)ワイドp/i型の素子構造を示している。また、図62(a)ないし図62(c)には、キャリアブロッキング層(I)52、p型のワイドギャップ半導体59、i型の半導体53、p型のワイドギャップ半導体63、i型の半導体55が順に積層されたI/ワイドp/i/(中間)ワイドp/i型の素子構造を示し、また、図63(a)ないし図63(c)には、キャリアブロッキング層(I)52、i型のチャーブ半導体60、i型の半導体53、p型のワイドギャップ半導体63、i型の半導体55が順に積層されたI/チャーブp/i/(中間)ワイドp/i型の素子構造を示し、さらに、図64(a)ないし図64(c)には、キャリアブロッキング層(I)52、p型のチャーブ半導体61、i型の半導体53、p型のワイドギャップ半導体63、i型の半導体55が順に積層されたI/チャーブp/i/(中間)ワイドp/i型の素子構造を示している。

30 【0382】

尚、図60(a)、図61(a)、…図64R>4(a)は、i型の半導体53およびi型の半導体55のドナー密度が均一な状態のエネルギー構造を示し、図6060(b)、図61(b)、…図64(b)は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に連続的に増加させた状態のエネルギー構造を示し、図60(c)、図61(c)、…図64(c)は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に段階的に増加させた状態のエネルギー構造を示すものである。

【0383】

また、キャリアブロッキング層(I)52に接合されるチャーブ半導体の代わりに、段階的にエネルギー準位を低下させる多段階チャーブ半導体を使用しても良い。

【0384】

【実施の形態10】本発明のさらに他の実施の形態について図65(a)ないし図68(c)に基づいて説明すれば、以下の通りである。尚、説明の便宜上、上記の各実施の形態と同一の機能を有する部材には、同一の番

(特開平 08-262476)

(67)

号を付記し、その説明は省略する。

【0385】

本実施の形態に係る光書込み型液晶素子の素子構造は、図65 (a) ないし図68 (c) に示すように、上記の実施の形態8および実施の形態9に示した素子構造の透明電極51側に設けられた絶縁膜からなるキャリアブロッキング層 (I) 52を無くして、キャリアブロッキング層としてp型の半導体58、あるいはp型のワイドギャップ半導体59を使用した構成となっている。

【0386】

図65 (a) ないし図66 (c) に示す素子構造は、上記実施の形態8の図55 (a) ないし図56R>6 (c) に示される透明電極51側に設けられたキャリアブロッキング層 (I) 52を無くし、p型の半導体62を遮光層56側のキャリアブロッキング層とする構成である。また、このp型の半導体62は、光導電層を形成するi型の半導体53と同じエネルギーギャップを有するものとなっている。尚、これらの素子の製造方法は、上記各実施の形態に記載の方法とし、また、膜厚やアクセプター密度も各実施の形態に記載した範囲内であれば良いものとする。

【0387】

また、図67 (a) ないし図68 (c) に示す素子構造は、上記実施の形態9の図61 (a) ないし図62 (c) に示される透明電極51側に設けられたキャリアブロッキング層 (I) 52を無くし、p型のワイドギャップ半導体63を遮光層56側のキャリアブロッキング層とする構成である。また、このp型のワイドギャップ半導体63は、光導電層を形成するi型の半導体53よりもエネルギーギャップが大きいものとする。

【0388】

以上のように、透明電極51側に絶縁膜からなるキャリアブロッキング層の代わりにp型の半導体あるいはp型のワイドギャップ半導体を使用することで、光導電層の透明電極51側にp型の半導体とi型の半導体との接合により空乏層が形成される。この空乏層によって、光導電層の透明電極51側が高抵抗領域となるので、光導電層の遮光層56側の領域よりも高電圧が印加される。一方、遮光層56側では、絶縁膜からなるキャリアブロッキング層の代わりに、p型の半導体62あるいはp型のワイドギャップ半導体63がキャリアブロッキング層として設けられているので、暗時のキャリアインジェクションを阻止することができる。したがって、光導電層に光電流が多く、暗電流は少なくなり、光感度が向上する。

【0389】

尚、図65 (a)、図66 (a)、…図68R>8 (a) は、i型の半導体53およびi型の半導体55のドナー密度が均一な状態のエネルギー構造を示し、図65 65

(68)

(b)、図66 (b)、…図68 (b) は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に連続的に増加させた状態のエネルギー構造を示し、図65 (c)、図66 (c)、…図68 (c) は、i型の半導体53およびi型の半導体55のドナー密度を透明電極51側から遮光層56側に段階的に増加させた状態のエネルギー構造を示すものである。

【0390】

10 また、他の素子構造として、図示しないが、p型の半導体/i型の半導体/キャリアブロッキング層 (I) /i型の半導体 (所謂p/i/中間I/i型の素子構造)、p型のワイドギャップ半導体/i型の半導体/キャリアブロッキング層 (I) /i型の半導体 (所謂ワイドp/i/中間I/i型の素子構造)、p型のチャーブ半導体/i型の半導体/キャリアブロッキング層 (I) /i型の半導体 (所謂チャーブp/i/中間I/i型の素子構造)、p型の多段階チャーブ半導体/i型の半導体/キャリアブロッキング層 (I) /i型の半導体 (所謂多20 段階p/i/中間I/i型の素子構造)、p型のチャーブ半導体/i型の半導体/p型の半導体/i型の半導体 (所謂チャーブp/i/中間p/i型の素子構造)、p型のチャーブ半導体/i型の半導体/p型のワイドギャップ半導体/i型の半導体 (所謂チャーブp/i/ワイド (中間)p/i型の素子構造)、またはp型の多段階チャーブ半導体/i型の半導体/p型のワイドギャップ半導体/i型の半導体 (所謂多段階p/i/ワイド (中間)p/i型の素子構造) であっても良い。これらの製造方法は、上記の各実施の形態に記載された方法を採用するものとする。

【0391】

以上のように、透明電極51側に設けられた絶縁膜からなるキャリアブロッキング層15を設けない素子構造では、半導体の接合によって空乏層を形成し、キャリアブロッキング層として使用するようになっているので、光書込み型液晶素子の製造工程において、絶縁膜を形成する工程を無くす (または少なくする) ことができ、この結果、製造工程を簡略化でき、製造時間を短縮することができる。

40 【0392】

【実施の形態11】 本発明のその他の実施の形態について、図73および図74に基づいて説明する。

【0393】

本実施の形態に係る光書込み型液晶素子に使用される光導電層の書込み光の入射側に形成されるキャリアブロッキング層は、超格子構造を有する。図73には、この光書込み型液晶素子における透明電極31から遮光層18までのエネルギー・バンドダイヤグラムを示す。

【0394】

尚、図示していないが、前述の各実施の形態で記述し

(特開平 08-262476)

(69)

たように、キャリア密度が透明電極31側から遮光層18側に向かって連続的または段階的に変化する構成(図17(b)、図17(c)等参照)を、本実施の形態にも適用することができる。

【0395】

次に、透明電極31側に形成された超格子構造のキャリアプロッキング層76の一構成例を説明する。この超格子構造は、a-SiC:Hとa-Si:Hの極薄膜の周期的積層膜からなっている。周期的積層膜の組成と膜厚は次のようにした。ワイドエネルギーギャップのa-SiC:Hは、a-Si_{0.5}C_{0.5}:Hとし、その膜厚は200Åとした。また、上記a-Si:Hの膜厚は100Åとした。そして、これらの極薄膜を100周期積層し、超格子構造の膜厚を約3μmとした。

【0396】

そして、上記の超格子構造のキャリアプロッキング層76の上に、光導電層26としてa-Si:Hを7μm積層し、さらに遮光層18側のキャリアプロッキング層77としてワイドエネルギーギャップのa-SiC:Hを150Å積層した。また、上記のキャリアプロッキング層77の上に、遮光層18としてa-SiGe:Hを積層した。

【0397】

図74は、この超格子構造を有する光導電層(以下、超格子光導電層と称する)と従来の光導電層との光吸収係数を測定した結果を示す。この図から超格子光導電層の方が、書込み光領域(波長6000~7000Å)における光吸収係数が大きいことが分かる。

【0398】

次に、上記の光書き込み型液晶素子の作製方法について説明する。

【0399】

先ず、ガラス基板(絶縁性透明基板)上に、ITO膜をスパッタリング法で1000Å積層し、その上にSnO₂膜を300Å積層することによって透明電極31を形成した。さらにその上に、a-SiC:Hとa-Si:Hとの周期的積層膜からなる上記の超格子構造のキャリアプロッキング層76を、a-SiC:Hから成膜を始めて100周期、膜厚にして約3μm積層した。次に、その上に光導電層26としてa-Si:Hを7μm積層した。次に、その上にキャリアプロッキング層77としてa-SiC:Hを150Å積層し、さらにその上に遮光層18としてa-SiGe:Hを1μm積層した。そして、その上に多層誘電体反射膜を積層し、さらにその上に液晶配向膜を塗布し配向処理をした。

【0400】

また、別のガラス基板上には透明電極としてITO膜を1000Å積層し、その上に液晶配向膜を塗布し配向処理をした。

【0401】

(70)

次に、上記のようにして得られた2枚の積層基板を、両基板の液晶配向膜同士が向かい合うように対向配置し、両基板間にスペーサーおよびシール部材を介在させて液晶層の注入スペースを確保し、両基板間にツイストネマティック液晶を注入封止した。

【0402】

上記のようにして得られた超格子光導電層を用いた光書き込み型液晶素子の駆動は、両基板上に形成された透明電極間に交流電圧を印加することによって行った。

【0403】

この超格子光導電層を用いた光書き込み型液晶素子を従来の光書き込み型液晶素子と同じ駆動条件で評価したところ、400μW/cm²(従来値)から200μW/cm²へと光感度が大幅に向上了。さらに本光書き込み型液晶素子のコントラストは200を達成し、高コントラストを実現できた。また、超格子構造によってキャリアプロッキングされているため、信頼性の高い長寿命光書き込み型液晶素子を実現できた。

【0404】

尚、超格子構造を形成する材料としては、a-SiC:Hに限らず、超格子構造にしたときに光導電層よりも光吸収係数が大きくなるようなワイドギャップの性質を有するものであれば、上記と同様の効果が得られる。

【0405】

また、本実施の形態では、遮光層18側(液晶層側)のキャリアプロッキング層77としてワイドエネルギーギャップの半導体を用いたが、これに限定されるものではなく、前述の各実施の形態に示した構成のキャリアプロッキング層を液晶層側に設けることができる。

【0406】

以上のように、本実施の形態に係る光書き込み型液晶素子は、光導電層26の書き込み光の入射側に形成されるキャリアプロッキング層76が超格子構造であるため、従来の光導電層よりも光吸収係数が増加し、光伝導キャリアが増大する結果、明時のインピーダンスが従来の光導電層よりも小さくなり、明暗時のインピーダンス比が従来よりも大きくなる。さらに、a-Si:Hなどの光導電層26よりもワイドギャップの材料(上記ではa-SiC:H)を使用しているので、a-Si:Hなどよりも絶縁性が高くなることより、光導電層に電圧が印加されたとき、書き込み光入射側領域に液晶層側領域よりも多くの電圧が印加されるようになる。これらの結果、光書き込み型液晶素子の高感度化、高コントラスト化、高解像度化が可能になる。

【0407】

ところで、超格子構造とは、一般的に、半導体の中に人工的に1次元の周期ポテンシャル(格子定数a(=数Å)の数十倍の周期を持つ)を導入した構造であり、異なったエネルギーギャップの半導体が周期的に積層されたものである。本発明に適用される超格子構造には、

(特開平 08-262476)

(71)

このような一般的な構成のものは勿論のこと、異なったエネルギーギャップの半導体の積層膜厚が場所によって相対的に薄くなったり厚くなったりするような超格子構造、或いはエネルギーギャップが大きい方の半導体のエネルギーギャップが透明電極31から遮光層18へ向かうに連れて段々小さくなるような超格子構造も含まれる。

【0408】

【実施の形態12】本発明のその他の実施の形態について、図75ないし図77に基づいて説明する。

【0409】

本実施の形態に係る光書込み型液晶素子に使用されるキャリアアロッキング層は、p型半導体とn型半導体との積層構造を有する。図75および図76には、この光書込み型液晶素子における透明電極31から遮光層18までのエネルギーバンドダイヤグラムを示す。図75は成膜時におけるエネルギーバンドダイヤグラムであり、これが熱平衡状態に達すると図76に示すエネルギーバンドダイヤグラムになる。

【0410】

尚、図示していないが、前述の各実施の形態で記述したように、キャリア密度が透明電極31側から遮光層18側に向かって連続的または段階的に変化する構成(図17(b)、図17(c)等参照)を、本実施の形態にも適用することができる。

【0411】

上記のエネルギーバンドダイヤグラムを参照して説明すると、光導電層26から透明電極31へのホールの流出を抑制するために、透明電極31上に膜厚100Åのn型半導体78a(n型a-Si:H膜)を積層する。さらに、光導電層26から透明電極31へ電子が流出するのを抑制するために、n型半導体78a上に膜厚100Åのp型半導体78b(p型a-Si:H膜)を積層する。書込み光の入射側に形成されるキャリアアロッキング層78は、上記のn型半導体78aとp型半導体78bとの積層構造である。

【0412】

また、上記のキャリアアロッキング層78の上に、光導電層26としてa-Si:Hを10μm積層する。この光導電層26は、通常のP-CVD製膜を行うとややn型の伝導になるので、ドナー性のキャリアを補償するためにジボラン等のP型ドーピングガスを用いることにより、真性半導体にするとよい。この場合のドーピングの目安としては、電子の流出抑制膜(上記p型半導体78b)に用いたアクセプター濃度よりも小さいことが望まれる。

【0413】

また、遮光層18に流出する電子を抑制するために、光導電層26上に膜厚100Åのp型半導体79b(p型a-Si:H膜)を積層する。さらに、ホールの遮光

(72)

層18への流出を抑制するために、上記のp型半導体79b上に、膜厚100Åのn型半導体79a(n型a-Si:H膜)を積層する。遮光層18側のキャリアアロッキング層79は、上記のn型半導体79aとp型半導体79bとの積層構造である。

【0414】

そして、上記キャリアアロッキング層79の上に、遮光層18としてa-SiGe:H膜を1μm積層する。

【0415】

10 このキャリア流出抑制効果を有する光導電層の特徴は、キャリアアロッキング層78・79にホモ材料(a-Si:H等)を用い、その伝導型を巧みにコントロールすることでキャリアの流出を抑制したことである。このようにすることでコストの削減や製膜条件管理項目の削減が可能である。

【0416】

また、上述のエネルギーバンド構造の光導電層を用いると、透明電極31や遮光層18へのキャリアの移動がほとんど無いので暗時に非常に高抵抗にすることができる。即ち、p型半導体とn型半導体との積層構造によるキャリアアロッキング層78・79には、電子およびホールの何れの動きも抑制する作用があり、光導電層26からはキャリア再結合を除いては外部にキャリアが流出しない。したがって明暗時のインピーダンス比を従来の光導電層に比べて大きくできる。

【0417】

このキャリア流出抑制構造を有する光導電層の光書込み型液晶素子を、従来の光書込み型液晶素子と同じ駆動条件で評価したところ、400μW/cm²(従来値)30から200μW/cm²へと光感度が大幅に向上了。さらに本光書込み型液晶素子のコントラストは200を達成し、高コントラストを実現できた。また、キャリアアロッキング層78・79によりキャリアアロッキングされているため、信頼性の高い光書込み型液晶素子を実現できた。

【0418】

尚、上記では、n型半導体78a・79aが透明電極31側または遮光層18側に、p型半導体78b・79bが光導電層26側に設けられているが、これに限定されるものではなく、n型とp型とを逆に配置した構成でも上記と同様の効果を奏する。

【0419】

また、上記では、透明電極31側のキャリアアロッキング層78と、遮光層18側のキャリアアロッキング層79との膜厚を略同じに設定しているが、これに限定されるものではない。むしろ、図77(成膜時におけるエネルギーバンドダイヤグラム)に示すように、キャリアアロッキング層78の膜厚をキャリアアロッキング層79の膜厚よりも厚くしてエネルギー構造を非対称とすることが望ましい。

(特開平 08-262476)

(73)

【0420】

すなわち、図75に示すように、キャリアブロッキング層78・79の膜厚を略同じにした構成（光導電層のエネルギー構造が非対称でない）の場合でも、上記のように明暗時のインピーダンス比を従来よりも大きくすることが可能である。しかしながら、図77に示すような非対称のエネルギー構造とすることにより、上述のように光導電層の書込み光入射側領域に遮光層18側よりも高い電圧が印加されるので、書込み光をより有効利用することができ、光書込み型液晶素子の性能がより向上する。

【0421】

また、光導電層の書込み光入射側領域に遮光層18側よりも高い電圧が印加されるような非対称のエネルギー構造において、n型半導体とp型半導体との積層構造のキャリアブロッキング層を、書込み光の入射側と液晶層側の何れか一方に設けてよい。特に、書込み光入射側のキャリアブロッキング層をn型半導体とp型半導体との積層構造にすることが望ましい。

【0422】

尚、上記の説明では、積層されたn型半導体およびp型半導体の各膜厚を100Åとしたが、これに限定されるものではない。これらの膜厚の好ましい範囲は50Å～2000Å、より好ましくは100Å～1000Åである。これらの膜厚が極端に薄い場合（50Åよりも薄い場合）、薄膜として形成されず島状になるためにリークが発生し、キャリアブロッキング層として機能しないという不都合が生じる。逆にこれらの膜厚が厚すぎる場合（2000Åよりも厚い場合）では、ドーピング層が低抵抗であるため、面方向への電荷の広がりが発生し、解像度が低下する原因ともなる。

【0423】

また、pn積層構造のn型半導体としては、不純物ドープしていないa-Si:H膜でも通常n型を示すのでこれを用いてもよいし、リン（P）等のV属の不純物を添加したa-Si:H膜を使用してもよい。また、pn積層構造のp型半導体としては、ボロン（B）等のIII属の不純物を添加したa-Si:H膜を使用することができる。

【0424】

以上の実施の形態1ないし実施の形態12の素子構造は、それぞれ、光導電層へのキャリアの侵入および光導電層からのキャリアの流出を、阻止または抑制する構造となっている。

【0425】

キャリアの侵入・流出を完全に阻止するには、前述のように光導電層の両端に絶縁膜を配置し、トンネル電流を無くすことによって実現可能である。

【0426】

また、光導電層の両端の伝導型をコントロールしたキ

(74)

ヤリアブロッキング層を用いた場合は、キャリアのドリフト電流を無くすことができるので（再結合電流を完全に無くすことはできないが、これはドリフト電流に比べると非常に少ない）、キャリアの侵入・流出を、おおむね阻止（厳密な表現は抑制）できる。

【0427】

さらに、上記の各実施の形態の素子構造は、透明電極側の光導電層に重点的に電圧が印加できる構造としている。即ち、各実施の形態の光書込み型液晶素子は、対向配置された一対の透明電極基板間に光導電層と液晶層とが形成された光書込み型液晶素子において、上記光導電層の書込み光の入射側および液晶層側には、光導電層内へのキャリアの侵入を防止すると共に、光導電層に電圧が印加されたとき、光導電層の書込み光入射側領域に液晶層側領域よりも高い電圧を印加させるキャリア侵入防止層が形成されている構成である。

【0428】

これにより、従来の光導電層に較べて明暗時のインピーダンス比が大きく取れるようになり、この光導電層を20光書込み型液晶素子に用いることにより表2に示すように、従来の光書込み型液晶素子に較べて光感度が良くなり、コントラストおよび解像度が高くなり、温度依存性が小さくなり、寿命は長くなるという性能の大幅な改善を可能としている。したがって、光書込み型液晶素子を用いた超大型で超高輝度で超高精細の特徴をもつ液晶プロジェクションの実使用が可能となる。

【0429】

【発明の効果】

請求項1の発明の光書込み型液晶素子は、以上のように、光導電層の書込み光の入射側および液晶層側には、光導電層の内外へのキャリアの侵入および流出を防止または抑制すると共に、光導電層に電圧が印加されたとき、光導電層の書込み光入射側領域に液晶層側領域よりも多くの電圧を印加させるキャリアブロッキング層が形成されている構成である。

【0430】

これにより、光導電層の明時のインピーダンス（Z_{photo}）と暗時のインピーダンス（Z_{dark}）との比（Z_{dark}/Z_{photo}）が大きくなるので、従来のように暗時のインピーダンスを大きくした場合に比べて光導電層の光感度を向上させることができ、この結果、解像度も向上させることができる。また、光導電層のインピーダンス比（Z_{dark}/Z_{photo}）が大きくなることで、明時の液晶層にかかる電圧を大きくすることができ、コントラストを向上させることができる。

【0431】

一方、この光導電層は整流性を有していない。つまり、光入射側の光導電層では内部電位が発生しているが、液晶層側でのキャリアブロッキング層による光感度を低下させない程度の電圧ロスもあるのでp-i-n型素子の

(特開平 08-262476)

(75)

ように内部電位は大きくならない。また、内部電位による液晶層にかかる直流成分を抑制することができるので、液晶層の延命化を図ることができ、この結果、光書き込み型液晶素子の長寿命化が可能になる。

【0432】

したがって、光導電層の光感度、解像度、コントラストを向上させることができるので、高光感度、高解像度、高コントラスト、長寿命の光書き込み型液晶素子を提供することができるという効果を奏する。

【0433】

請求項2の発明の光書き込み型液晶素子は、以上のように、請求項1の構成において、上記キャリアブロッキング層によって形成される空乏層あるいは最大空乏層が、書き込み光入射側領域に形成される空乏層あるいは最大空乏層の幅を W_B 、液晶層側領域に形成される空乏層あるいは最大空乏層の幅を W_{BII} としたとき、次の関係式、“ $W_B > W_{BII}$ ”を満たしている構成である。

【0434】

これにより、電圧印加時に、光導電層の書き込み光入射側に多くの電圧が印加され、光電流が良く流れようになり、明時のインピーダンスを小さくすることができる。したがって、光導電層の明時のインピーダンス(Z_{photo})と暗時のインピーダンス(Z_{dark})との比(Z_{dark}/Z_{photo})が大きくなるので、従来のように暗時のインピーダンスを大きくした場合に比べて光導電層の光感度を向上させることができ、この結果、解像度も向上させることができるという効果を奏する。

【0435】

請求項3の発明の光書き込み型液晶素子は、以上のように、請求項1または2の構成において、光導電層の少なくとも書き込み光の入射側領域に形成されるキャリアブロッキング層が、絶縁層で構成されているものである。

【0436】

これにより、請求項1または2の発明の効果に加えて、書き込み光の界面反射を小さくすることができ、この結果、書き込み光を光導電層に有効に導入することができると共に、光導電層とキャリアブロッキング層との密着強度を向上させることができるという効果を併せて奏する。

【0437】

請求項4の発明の光書き込み型液晶素子は、以上のように、請求項1の構成において、上記光導電層の書き込み光の入射側に形成されるキャリアブロッキング層が、超格子構造で構成されているものである。

【0438】

これにより、請求項1の発明の効果に加えて、従来の光導電層よりも光吸収係数が増加し、光伝導キャリアが増大する結果、明時のインピーダンスが従来の光導電層よりも小さくなり、明暗時のインピーダンス比が従来よりも大きくなり、光書き込み型液晶素子の感度、コントラスト、解像度がより向上するという効果を奏する。

(76)

【0439】

請求項5の発明の光書き込み型液晶素子は、以上のように、請求項1の構成において、上記光導電層の少なくとも書き込み光の入射側に形成されるキャリアブロッキング層が、p型半導体とn型半導体との積層構造で構成されているものである。

【0440】

これにより、請求項1の発明の効果に加えて、暗時にはキャリアの移動がほとんど無くなるので、暗時に非常に高抵抗にすることができ、したがって明暗時のインピーダンス比を従来の光導電層に比べて大きくできる。この結果、光書き込み型液晶素子の感度、コントラスト、解像度がより向上するという効果を奏する。

【0441】

請求項6の発明の光書き込み型液晶素子は、以上のように、請求項1、2、3、4または5の構成において、上記光導電層の少なくとも液晶層側に形成されるキャリアブロッキング層が、当該光導電層と同じエネルギーギャップのp型の半導体で構成されているものである。

【0442】

これにより、請求項1、2、3、4または5の効果に加えて、キャリアブロッキング層を光導電層の形成装置において連続成膜することができるので、製造工程の簡略化を図ることができるという効果を併せて奏する。

【0443】

請求項7の発明の光書き込み型液晶素子は、以上のように、請求項1、2、3、4または5の構成において、上記光導電層の少なくとも液晶層側に形成されるキャリアブロッキング層が、当該光導電層よりエネルギーギャップが大きいワイドギャップのi型もしくはp型の半導体で構成されているものである。

【0444】

これにより、請求項1、2、3、4または5の発明の効果に加えて、キャリアブロッキング層を光導電層の形成装置において連続成膜することができるので、製造工程の簡略化を図ることができるという効果を併せて奏する。さらに、同じエネルギーギャップのp型の半導体を用いた場合よりも薄膜にすることができるので、余分な電圧ロスを無くすことができ、この結果、光電流を良く流すことができるという効果も併せて奏する。

【0445】

請求項8の発明の光書き込み型液晶素子は、以上のように、請求項1、2、3、6または7の構成において、上記光導電層が、書き込み光の入射側の透明電極側に形成された、当該光導電層よりエネルギーギャップが大きいワイドギャップのi型もしくはp型の半導体とヘテロ接合されている、あるいは当該光導電層と同じエネルギーギャップのp型の半導体とホモ接合されている構成である。

【0446】

(特開平 08-262476)

(77)

これにより、絶縁層の有無に関わらず透明電極からのキャリアインジェクションや光導電層からのキャリアの流出を阻止または抑制することができる。そして、光導電層の形成装置でキャリアブロッキング層を連続的に成膜することができる。したがって、請求項1、2、3、4または5の発明の効果に加えて、光書き込み型液晶素子の製造工程を簡素なものとし、製造に係る費用を低減することができるという効果を併せて奏する。

【0447】

請求項9の発明の光書き込み型液晶素子は、以上のように、請求項1、2、3、6または7の構成において、上記光導電層の書き込み光の入射側に形成されるキャリアブロッキング層が、液晶層側に向かってエネルギー・ギャップが小さくなるチャーブ構造のi型またはp型の半導体である構成となっている。

【0448】

これにより、請求項1、2、3、6または7の発明の効果に加えて、光導電層で発生した電子のホールとの再結合を抑制することができ、光電流を良く流すことができる。したがって、光導電層の光感度を向上させることができるので、光書き込み型液晶素子の光感度およびコントラストを向上させることができると効果を奏する。

【0449】

請求項10の発明の光書き込み型液晶素子は、以上のように、請求項1、2、3、4、5、6、7、8または9の構成において、上記光導電層の書き込み光の入射側領域のドナー密度をN_{DI}、液晶層側領域でのドナー密度をN_{DLC}としたとき、次の関係式、“N_{DI} < N_{DLC}”を満たしている構成である。

【0450】

これにより、請求項1、2、3、4、5、6、7、8または9の発明の効果に加えて、光導電層の書き込み光の入射側領域の方が、液晶層側領域よりも高抵抗となり、電圧が多く印加されるので、光導電層に光電流が多く流れようになり、光導電層の光感度をより向上させることができると効果を併せて奏する。

【0451】

請求項11の発明の光書き込み型液晶素子は、以上のように、光導電層の書き込み光の入射側および液晶層側には、40光導電層の内外へのキャリアの侵入および流出を防止または抑制するキャリアブロッキング層が設けられており、当該キャリアブロッキング層がp型半導体とn型半導体との積層構造で構成されているものである。

【0452】

これにより、光導電層に対する電子およびホールの侵入および流出が抑制され、暗時にはキャリアの移動がほとんど無くなるので、暗時に非常に高抵抗にすことができ、したがって明暗時のインピーダンス比を従来の光導電層に比べて大きくできる。この結果、光書き込み型液

(78)

晶素子の高感度化、高コントラスト化、高解像度化が可能になるという効果を奏する。

【図面の簡単な説明】

【図1】 本発明の一実施の形態の光書き込み型液晶素子のエネルギー・バンドダイヤグラムである。

【図2】 上記光書き込み型液晶素子の概略構成断面図である。

【図3】 図2に示す光書き込み型液晶素子を備えた投射型の液晶表示装置の概略構成図である。

10 【図4】 本発明の原理を示すバンドダイヤグラムを示す説明図である。

【図5】 本発明の原理を示すバンドダイヤグラムを示す説明図である。

【図6】 図1に示す光書き込み型液晶素子に備えられた光導電層の印加電圧とインピーダンスとの関係を示すグラフである。

【図7】 図1に示す光書き込み型液晶素子に備えられた光導電層の印加電圧と電流密度との関係を示すグラフである。

20 【図8】 図1に示す光書き込み型液晶素子に備えられた光導電層の印加電圧と電流密度との関係を示すグラフである。

【図9】 図1に示す光書き込み型液晶素子に備えられた光導電層の印加電圧と反射率との関係を示すグラフである。

【図10】 図1に示す光書き込み型液晶素子に備えられた光導電層の書き込み波長と書き込み透過率との関係を示すグラフである。

30 【図11】 図1に示す光書き込み型液晶素子の比較例の光導電層の書き込み波長と書き込み透過率との関係を示すグラフである。

【図12】 図1に示す光書き込み型液晶素子の比較例の光導電層の印加電圧と反射率との関係を示すグラフである。

【図13】 図12に示す光書き込み型液晶素子の光導電層の印加電圧とインピーダンスとの関係を示すグラフである。

【図14】 図1に示す光書き込み型液晶素子の比較例の光導電層の印加電圧と反射率との関係を示すグラフである。

【図15】 図14に示す光書き込み型液晶素子の光導電層の印加電圧とインピーダンスとの関係を示すグラフである。

【図16】 本発明の光書き込み型液晶素子に形成されるキャリアブロッキング層の設計についての説明図である。

【図17】 本発明の他の実施の形態の光書き込み型液晶素子のエネルギー・バンドダイヤグラムである。

50 【図18】 図17に示す光書き込み型液晶素子に備えられた光導電層の印加電圧と電流密度との関係を示すグ

(特開平 08-262476)

(81)

【図67】 本発明のさらに他の実施の形態の光書き込み型液晶素子のエネルギー・バンドダイヤグラムである。

【図68】 本発明のさらに他の実施の形態の光書き込み型液晶素子のエネルギー・バンドダイヤグラムである。

【図69】 図40に示す光書き込み型液晶素子と図42に示す光書き込み型液晶素子とに備えられた光導電層の遮光層側のキャリア・ブロッキング層の膜厚と光感度との関係を示すグラフである。

【図70】 本発明の光書き込み型液晶素子のチャーブ半導体を用いた光導電層の書き込み光強度と反射率との関係を示すグラフである。

【図71】 図4に示す素子の成膜時のバンドダイヤグラムである。

【図72】 図5に示す素子の成膜時のバンドダイヤグラムである。

【図73】 本発明のさらに他の実施の形態を示すものであり、超格子構造のキャリア・ブロッキング層を有する光書き込み型液晶素子のバンドダイヤグラムである。

【図74】 図73に示す素子および従来の素子のそれについて、光子エネルギーと光吸収係数との関係を示したグラフである。

【図75】 本発明のさらに他の実施の形態を示すものであり、p型半導体とn型半導体との積層構造のキャリア・ブロッキング層を有する光書き込み型液晶素子の成膜時におけるバンドダイヤグラムである。

【図76】 図75に示す素子の熱平衡状態時のバンドダイヤグラムである。

【図77】 図75に示す素子の一変形例を示すバンド

ダイヤグラムである。

【図78】 従来の光書き込み型液晶素子の概略構成図である。

【図79】 図71に示す光書き込み型液晶素子を備えた投射型の液晶表示装置の概略構成図である。

【図80】 従来のi型の半導体を光導電層に使用した場合の光導電層の印加電圧と電流密度との関係を示すグラフである。

【図81】 従来の光書き込み型液晶素子のエネルギー・バンドダイヤグラムである。

【図82】 図74に示す光書き込み型液晶素子に備えられた光導電層の印加電圧と電流密度との関係を示すグラフである。

【図83】 従来の光書き込み型液晶素子の概略構成図である。

【符号の説明】

1 液晶ライトバルブ (光書き込み型液晶素子)

11a・b ガラス基板 (透明電極基板)

13a・b ITO膜 (透明電極基板)

14 SnO₂膜 (透明電極基板)

15 キャリア・ブロッキング層

16 光導電層

17 キャリア・ブロッキング層

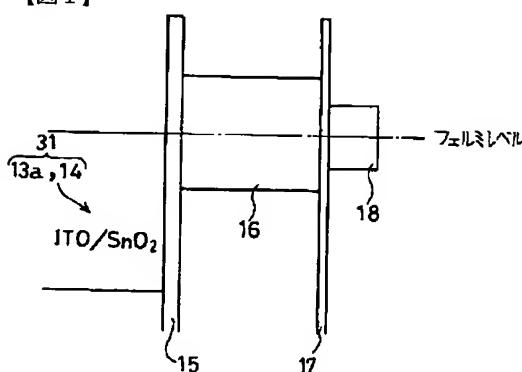
22 液晶層

26 i型の半導体 (光導電層)

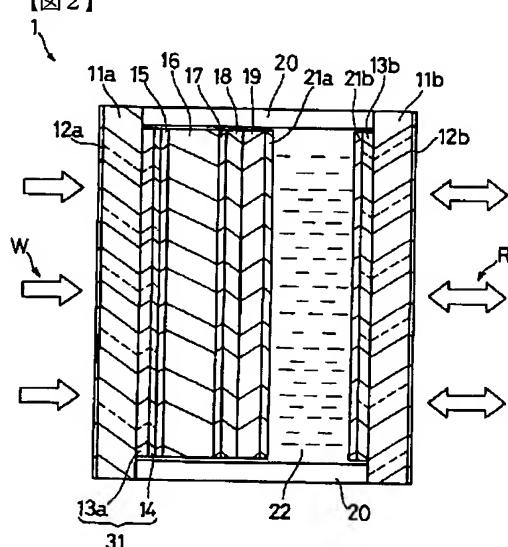
31 透明電極

51 透明電極

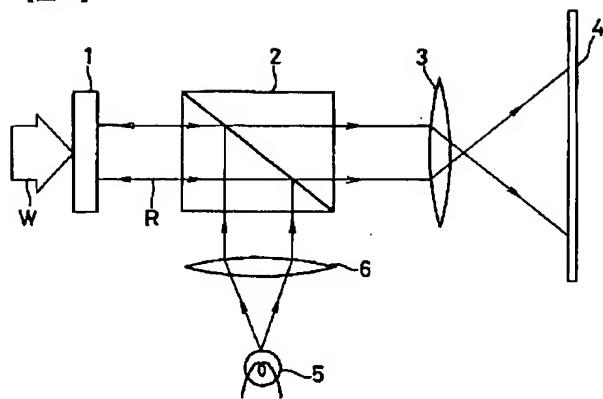
【図1】



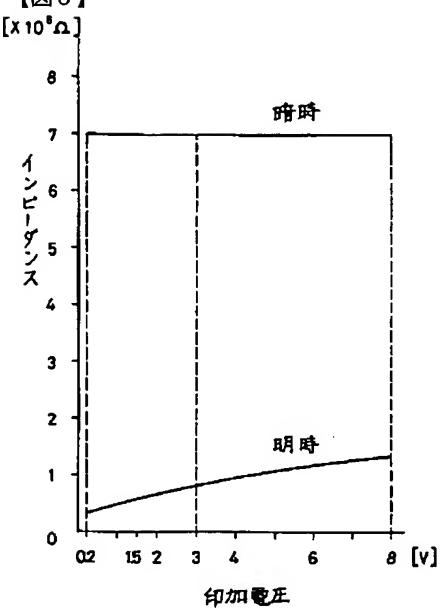
【図2】



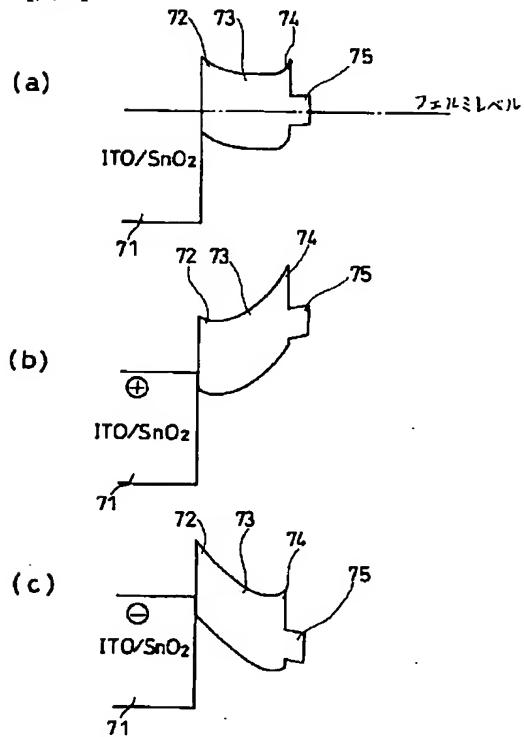
【図3】



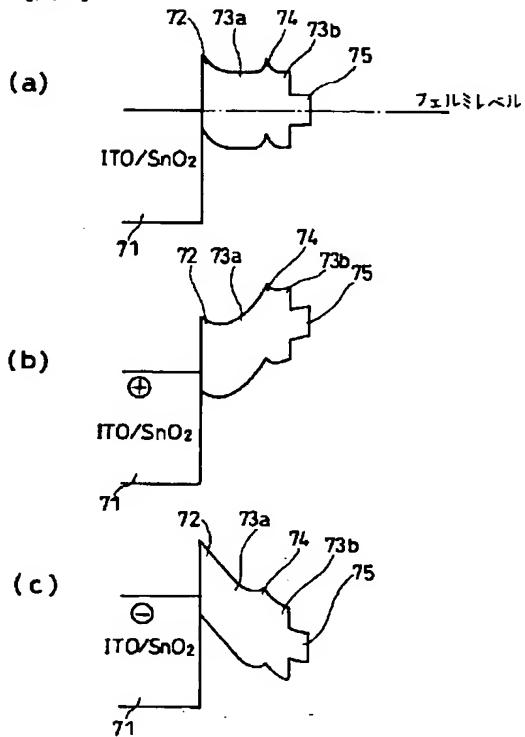
【図6】



【図4】

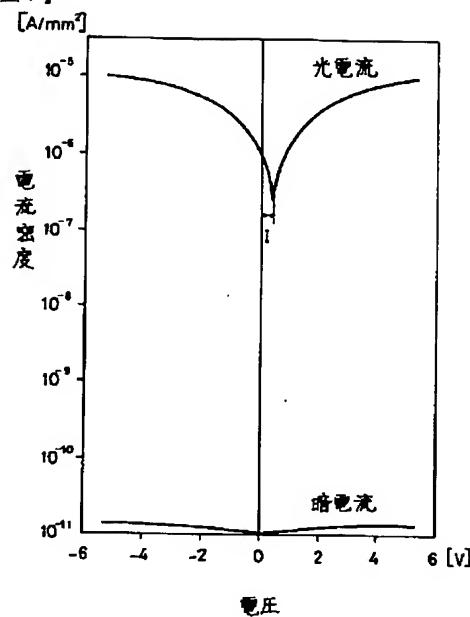


【図5】

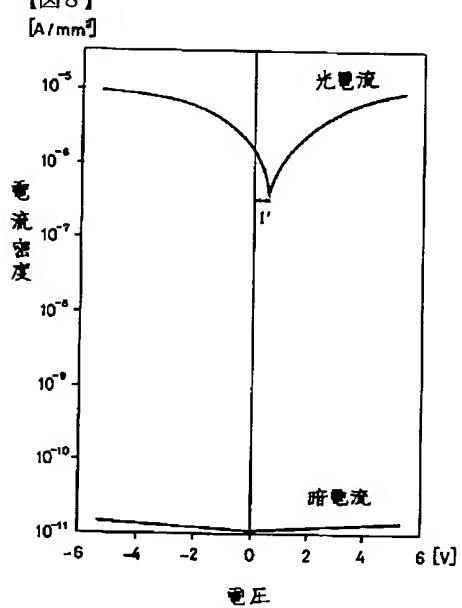


(特開平 08-262476)

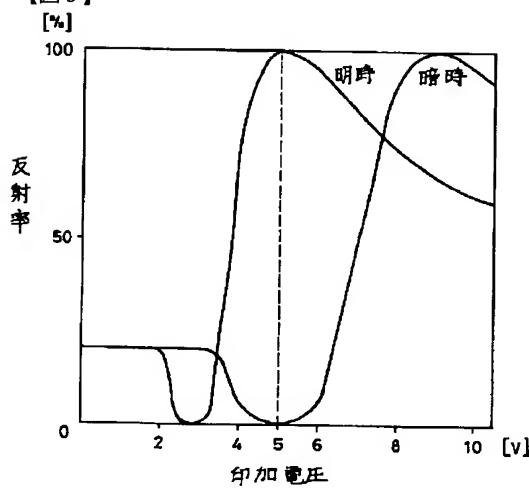
【図7】



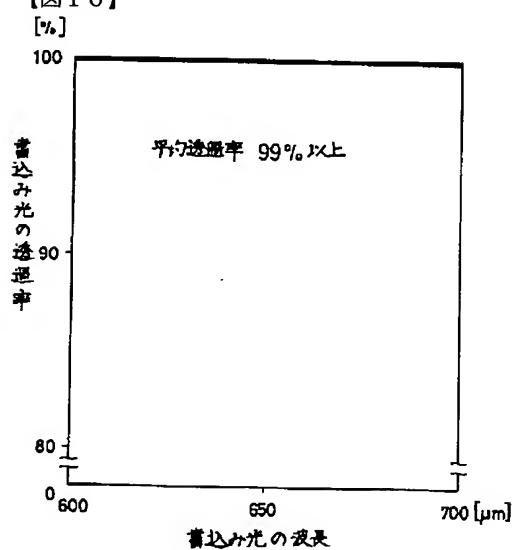
【図8】



【図9】



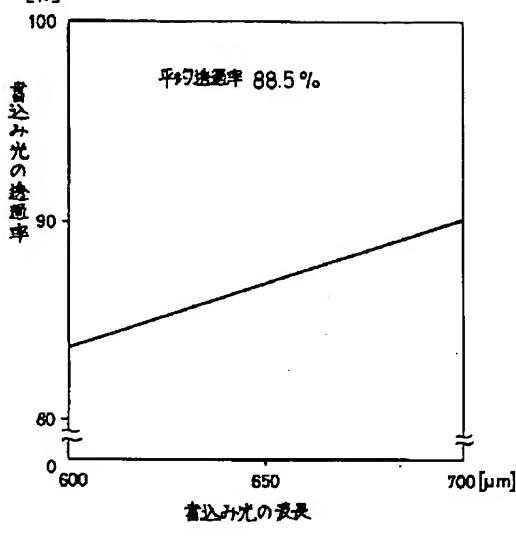
【図10】



(特開平 08-262476)

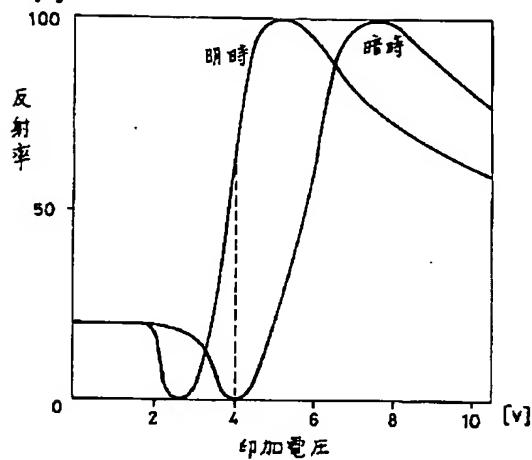
【図11】

[%]



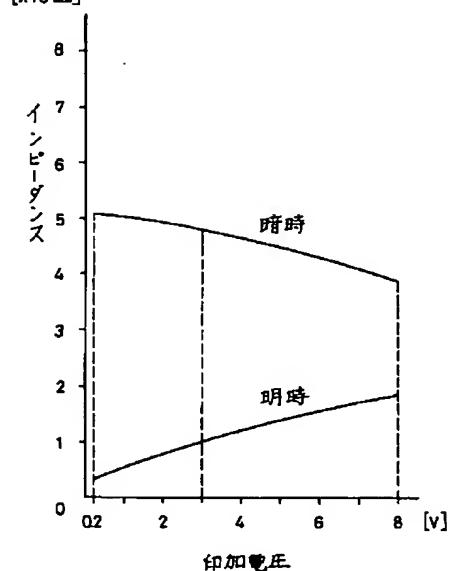
【図12】

[%]



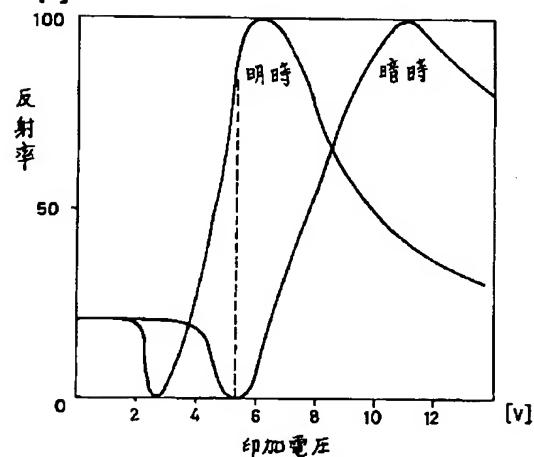
【図13】

[$\times 10^4 \Delta$]

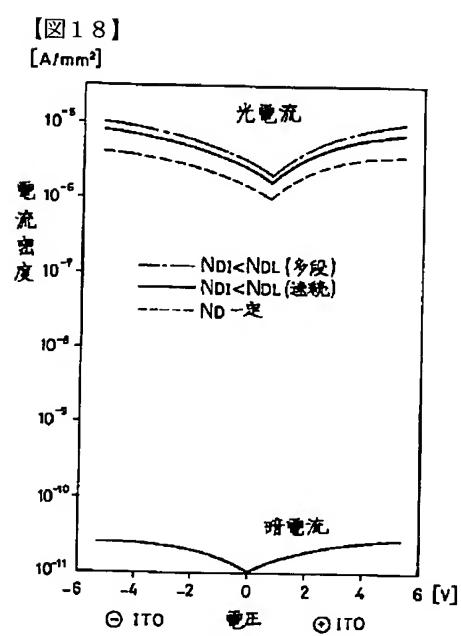
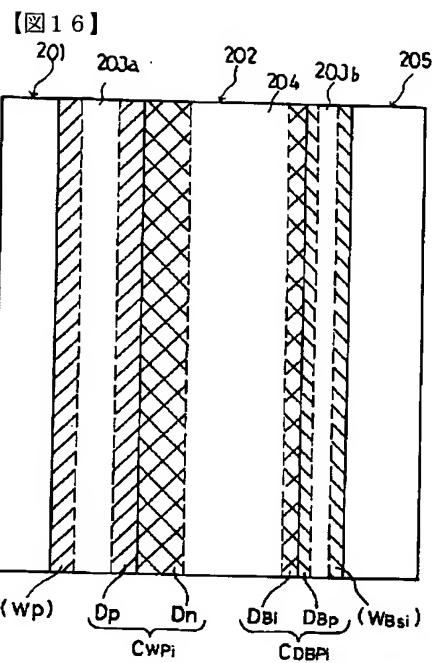
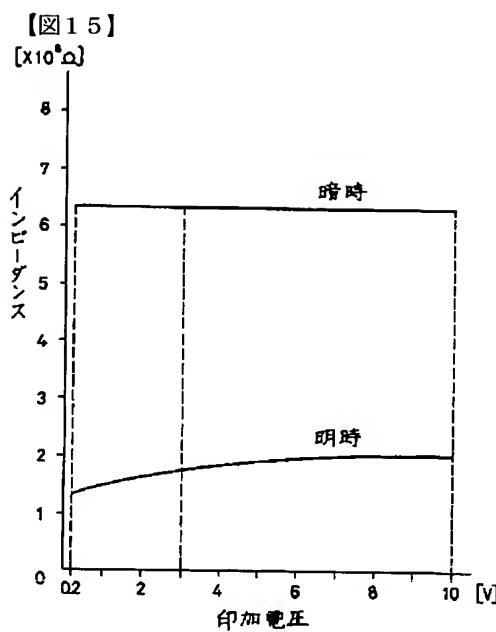


【図14】

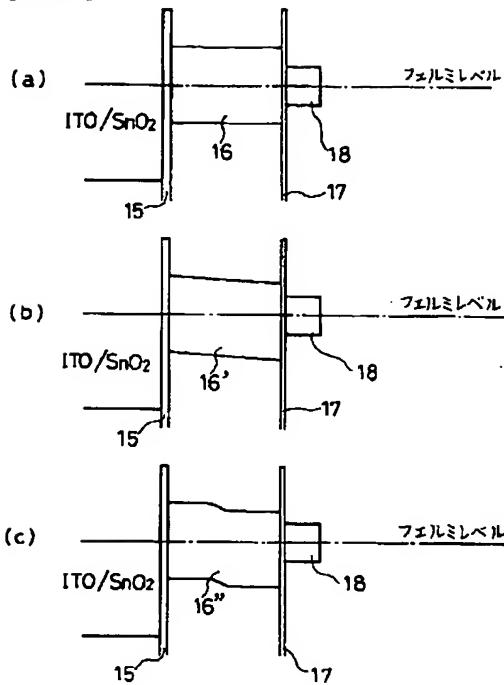
[%]



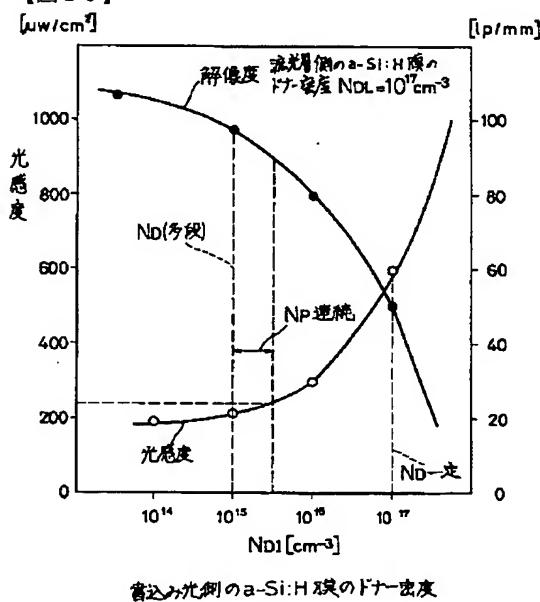
(特開平 08-262476)



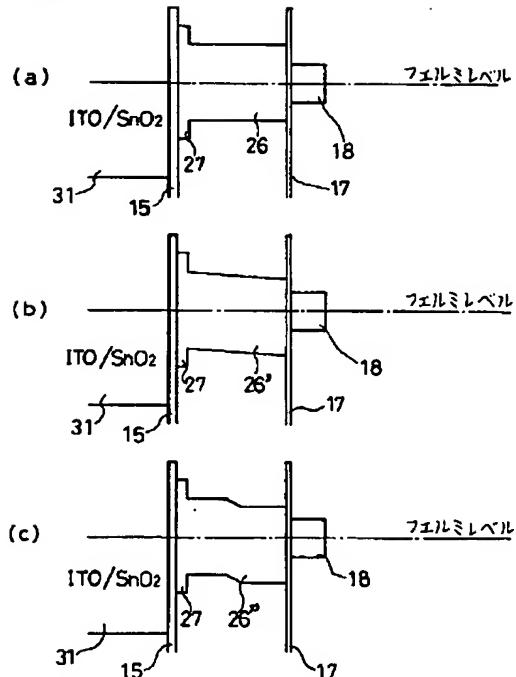
【図17】



【図19】

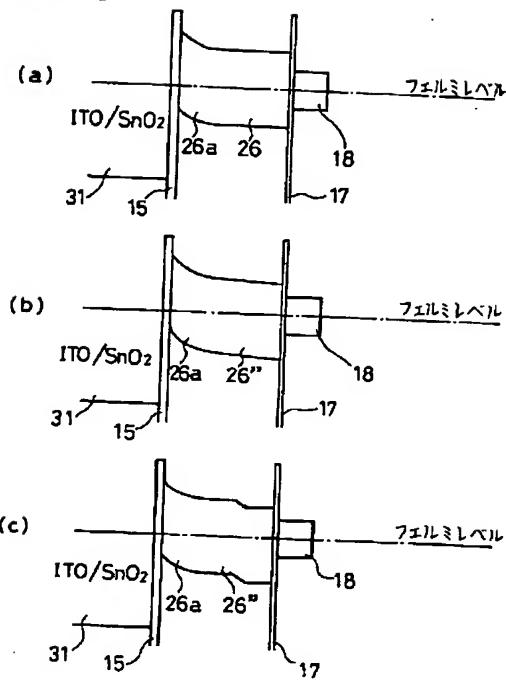


【图20】

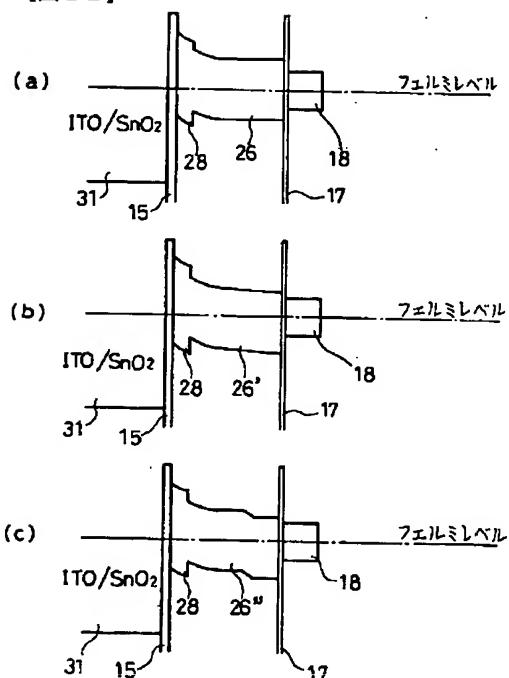


(特開平 08-262476)

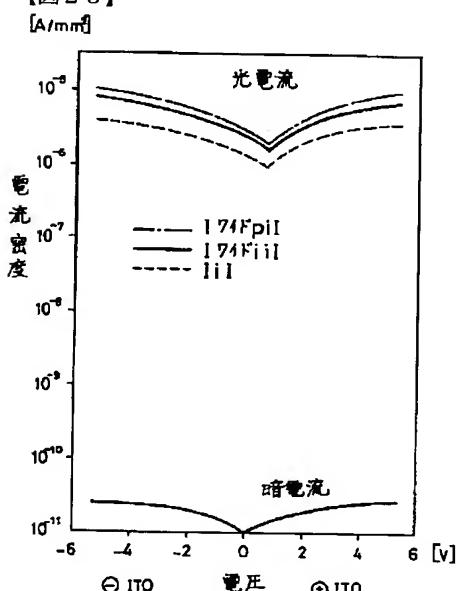
【図21】



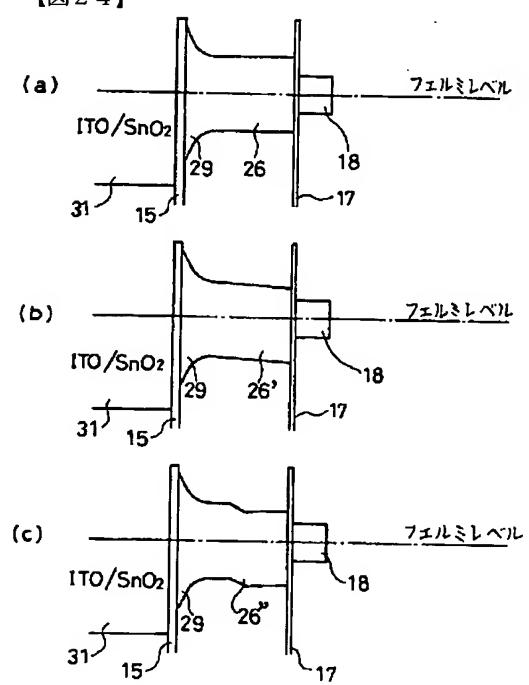
【図22】



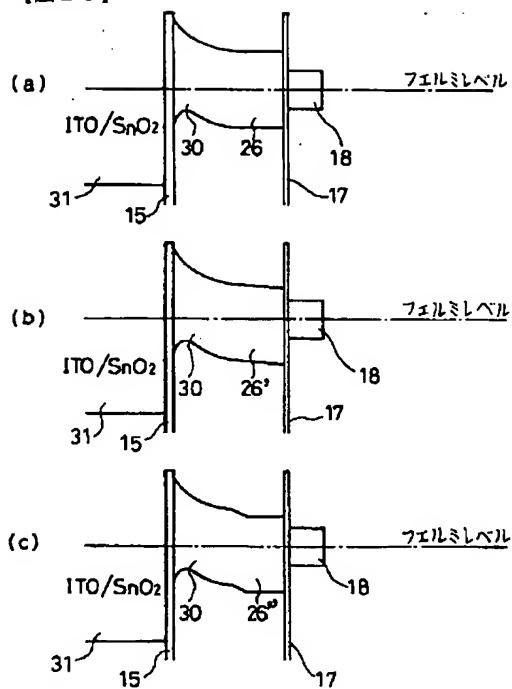
【図23】



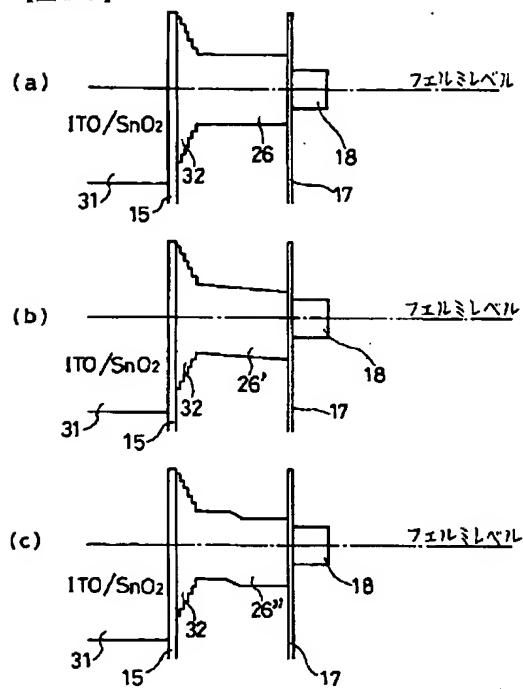
【図24】



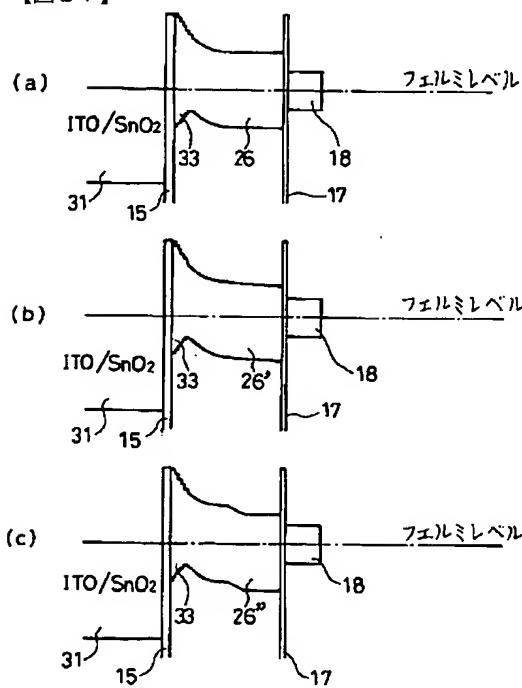
【図25】



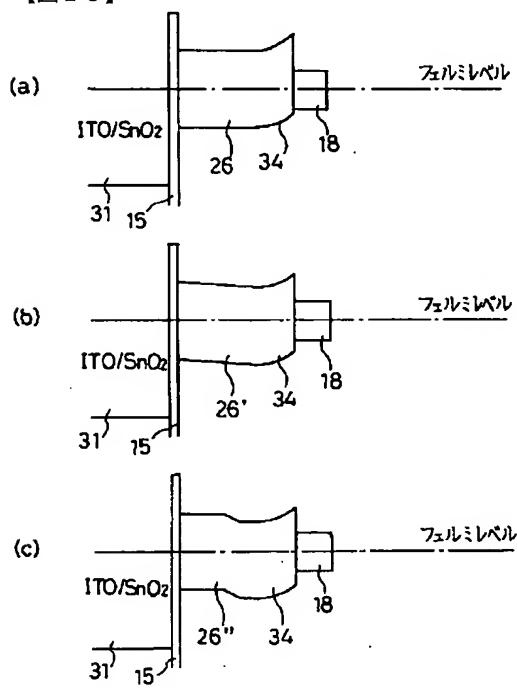
【図26】



【図27】

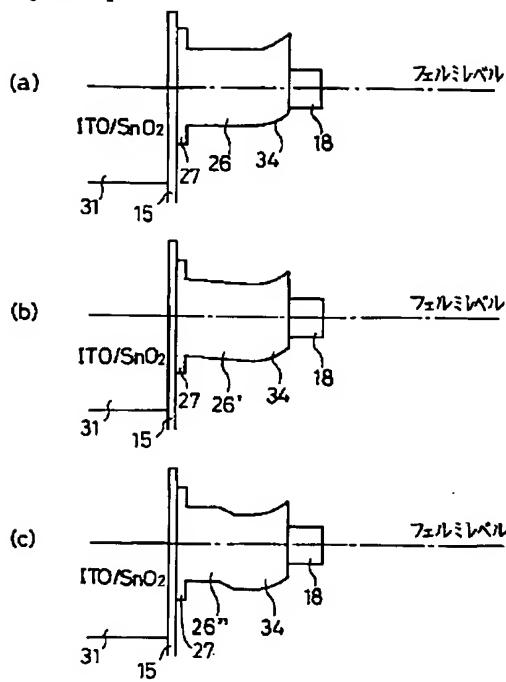


【図28】

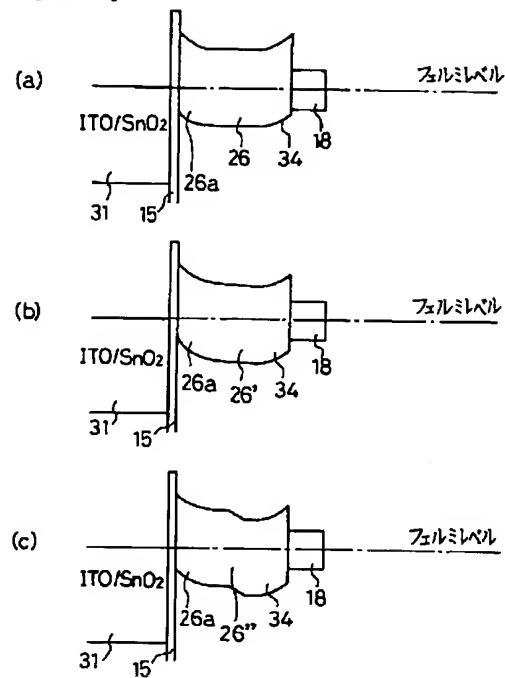


(特開平 08-262476)

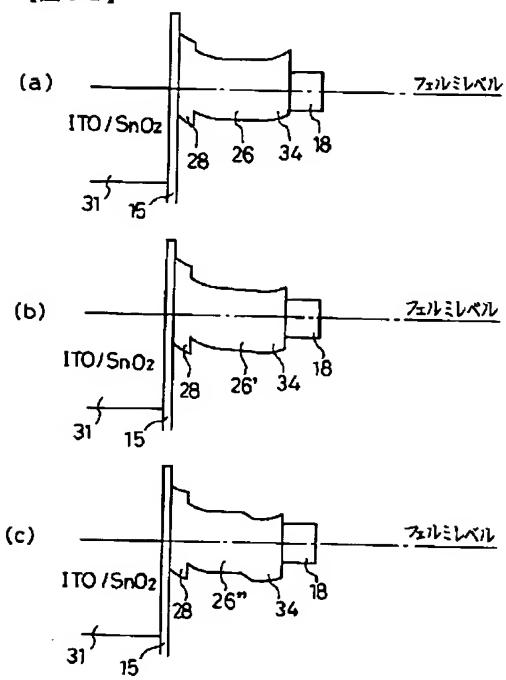
【図29】



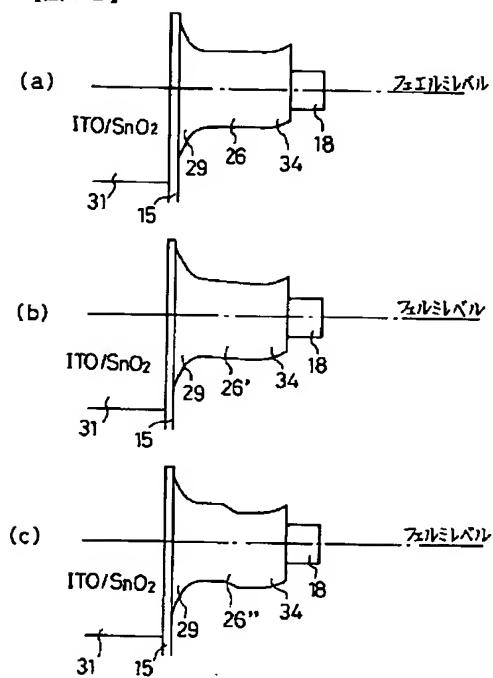
【図30】



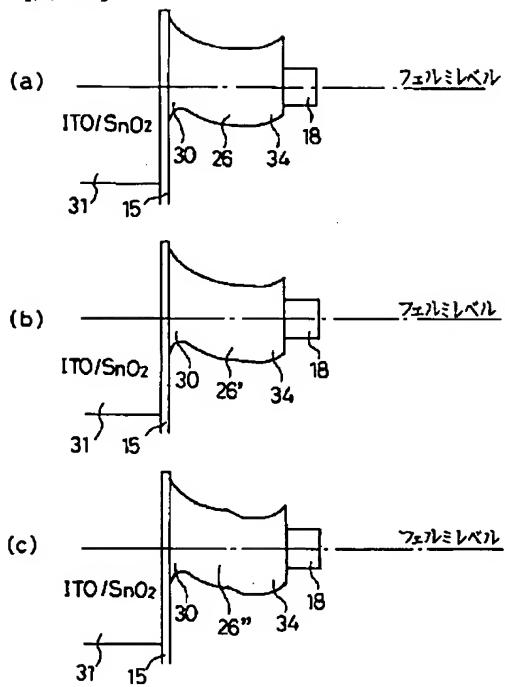
【図31】



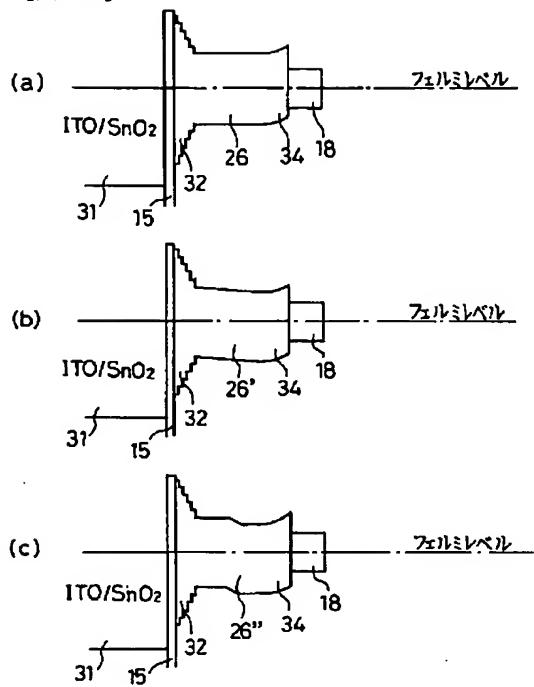
【図32】



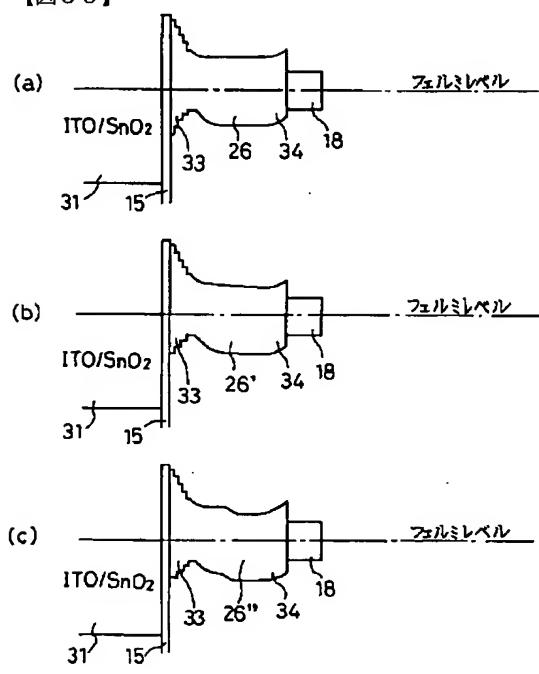
【図33】



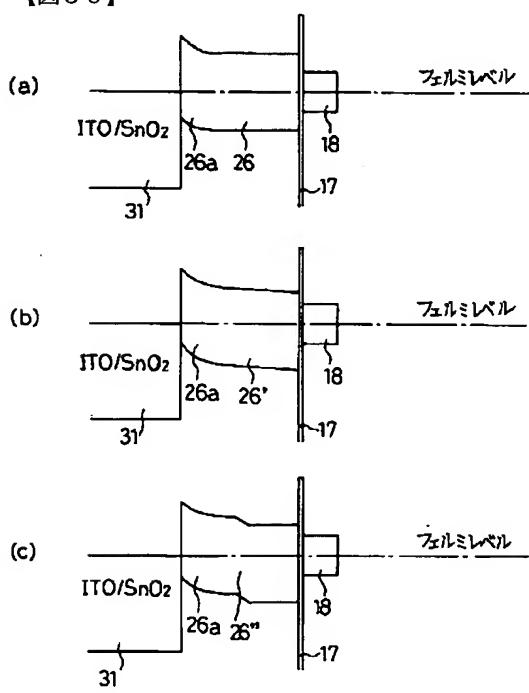
【図34】



【図35】

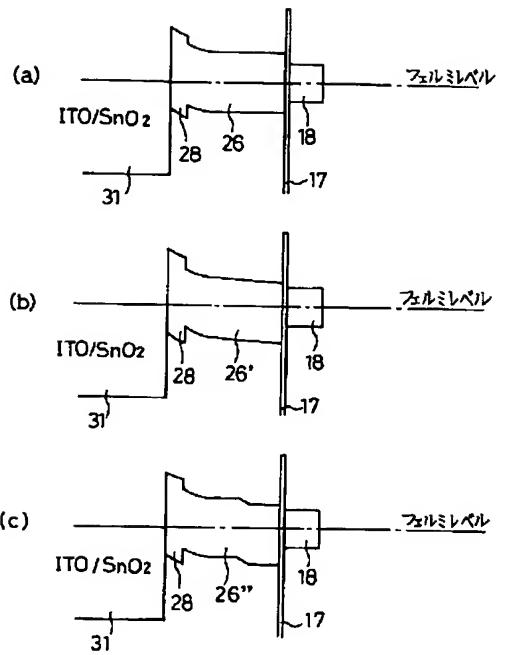


【図36】

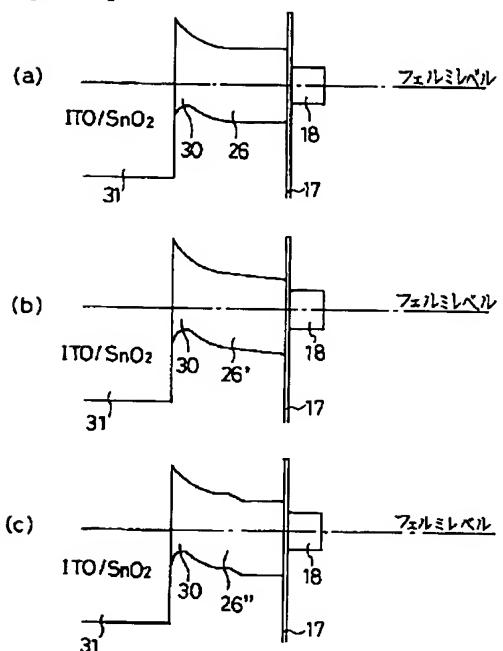


(特開平 08-262476)

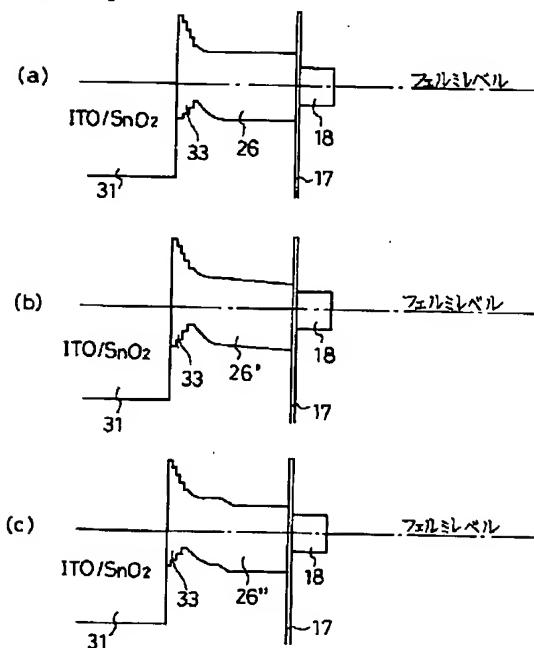
【図37】



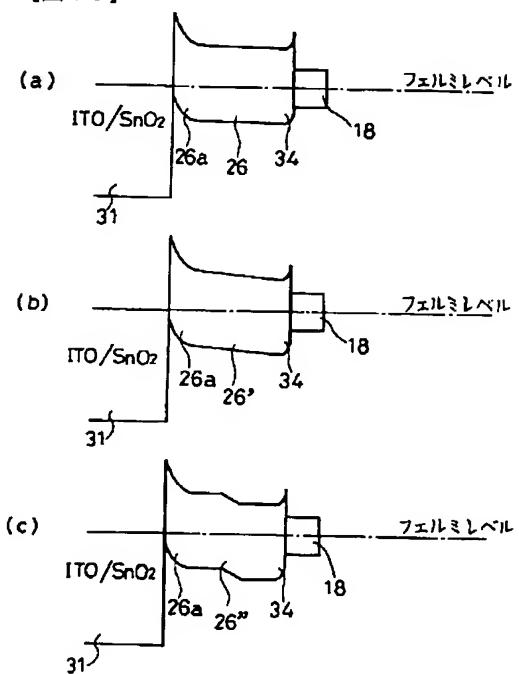
【図38】



【図39】

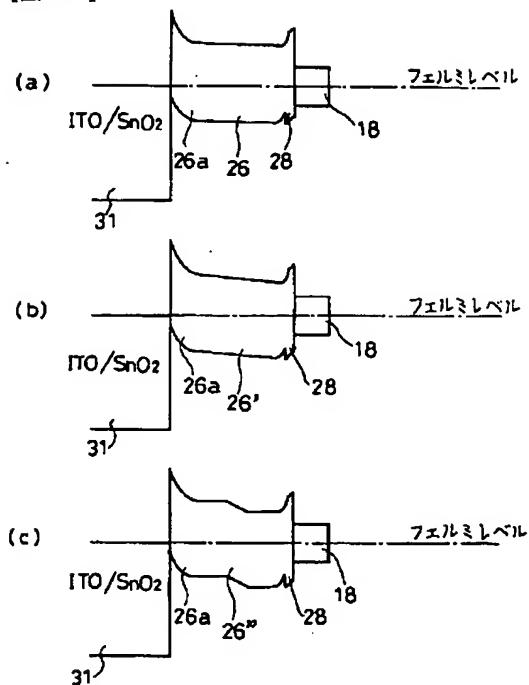


【図40】

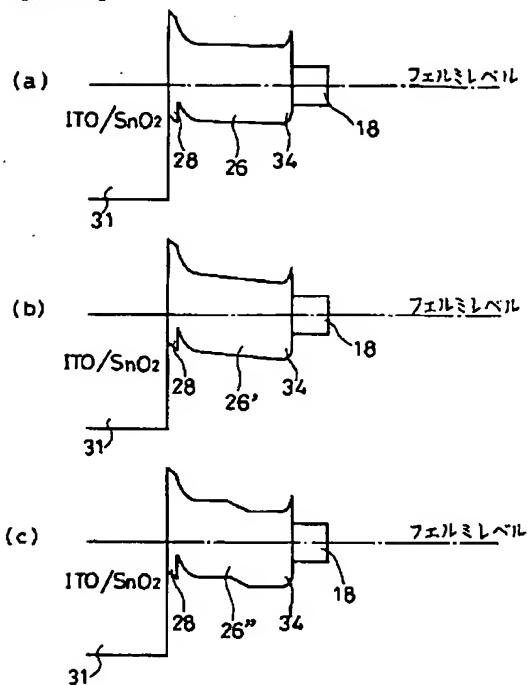


(特開平 08-262476)

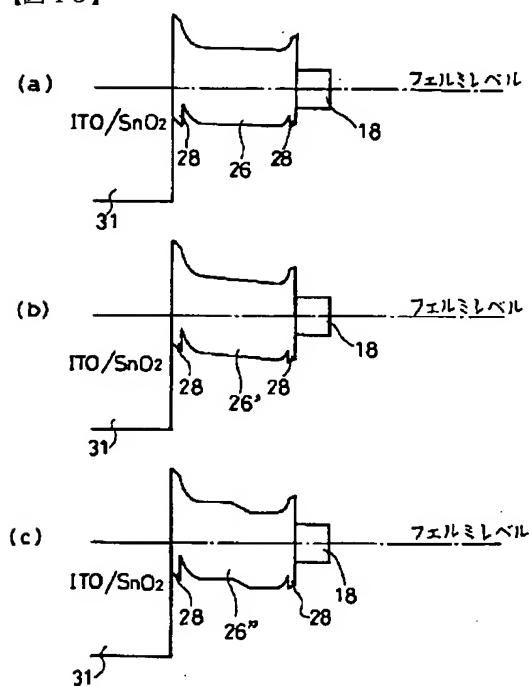
【図4 1】



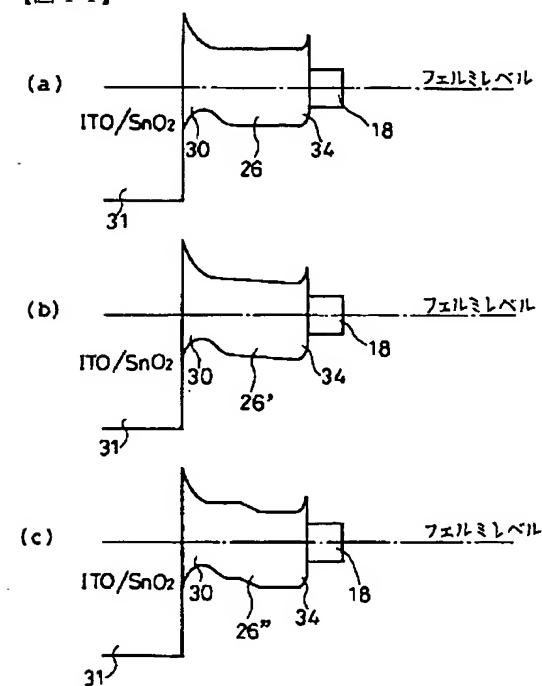
【図4 2】



【図4 3】

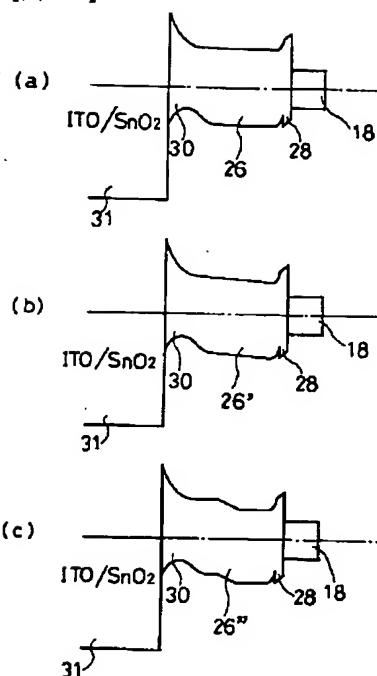


【図4 4】

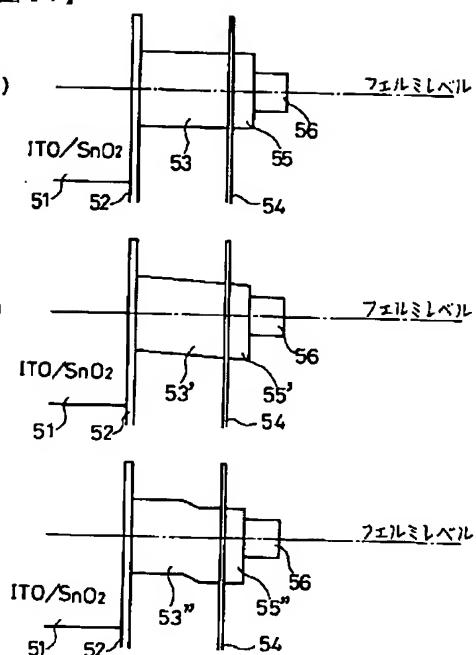


(特開平 08-262476)

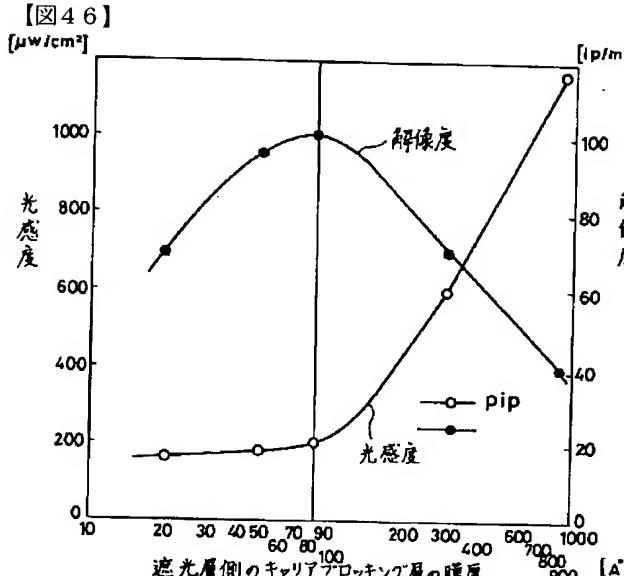
【図45】



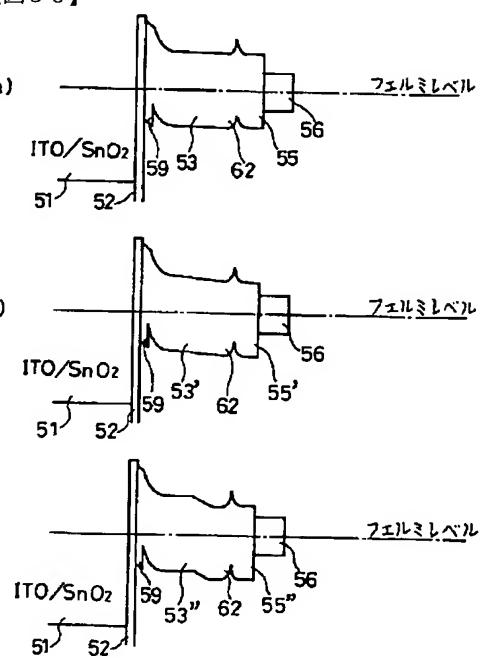
【図47】



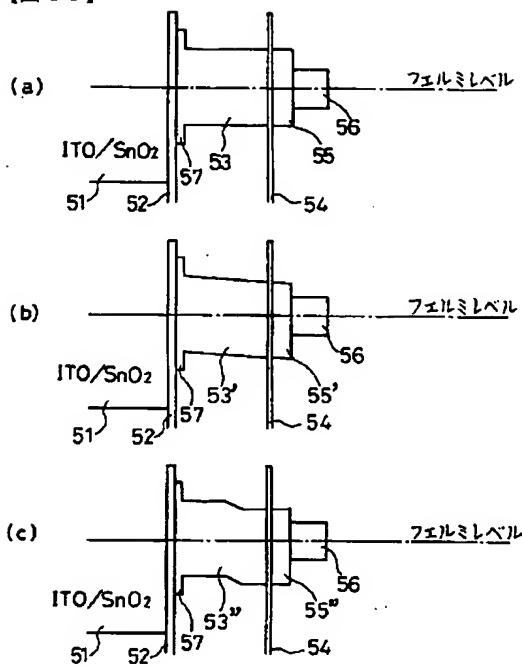
【図46】



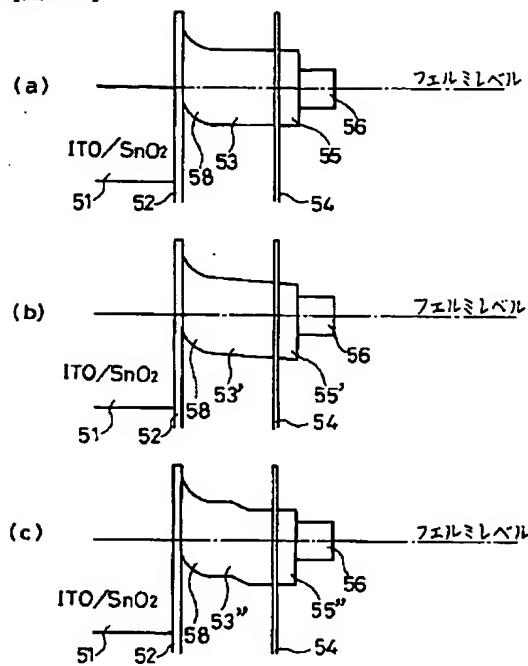
【図56】



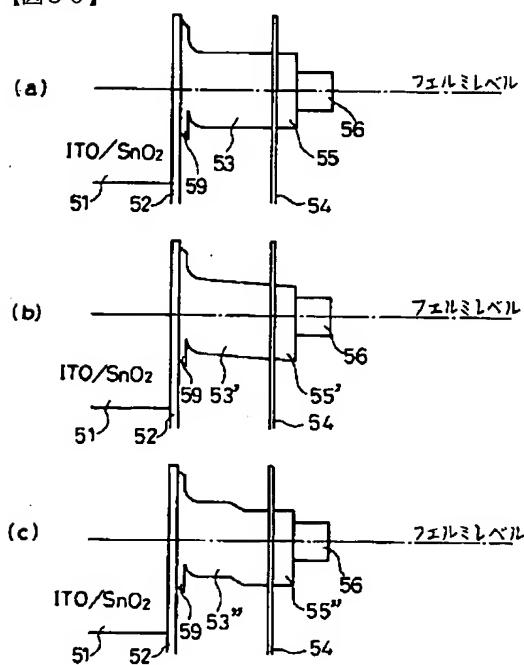
【図48】



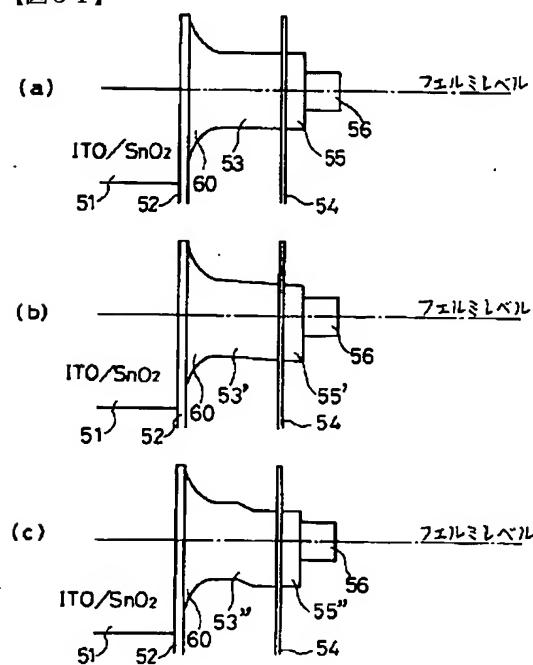
【図49】



【図50】

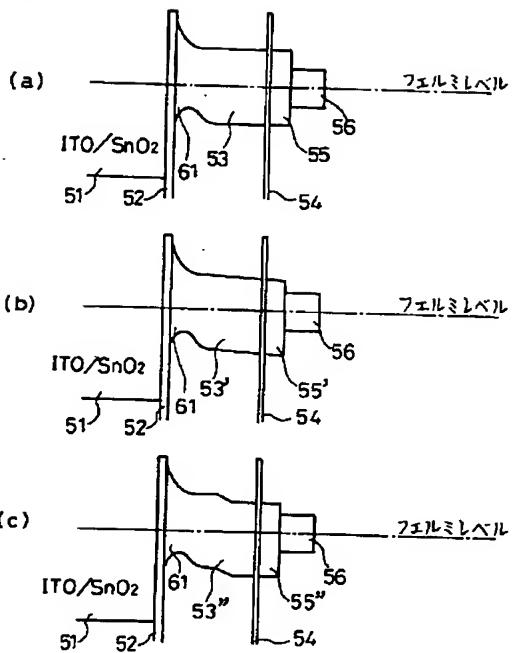


【図51】

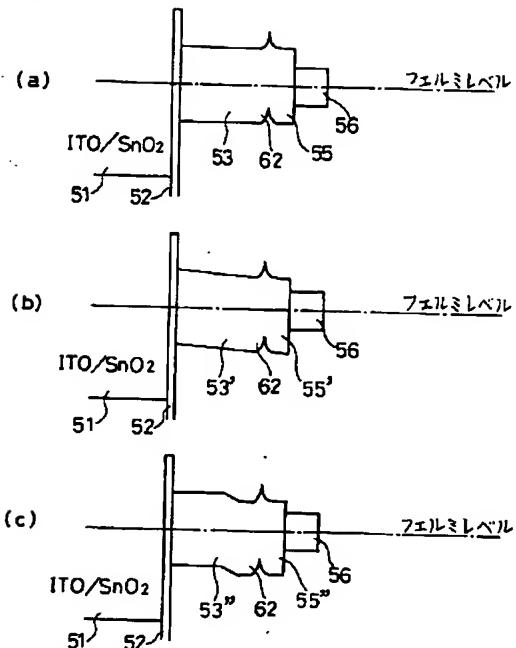


(特開平 08-262476)

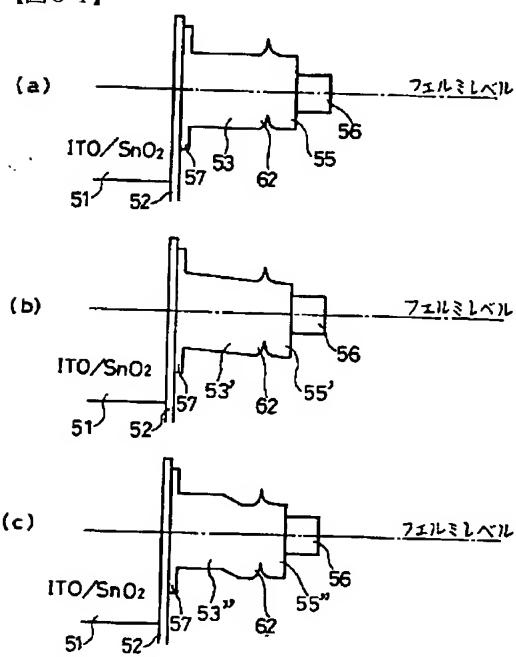
【図52】



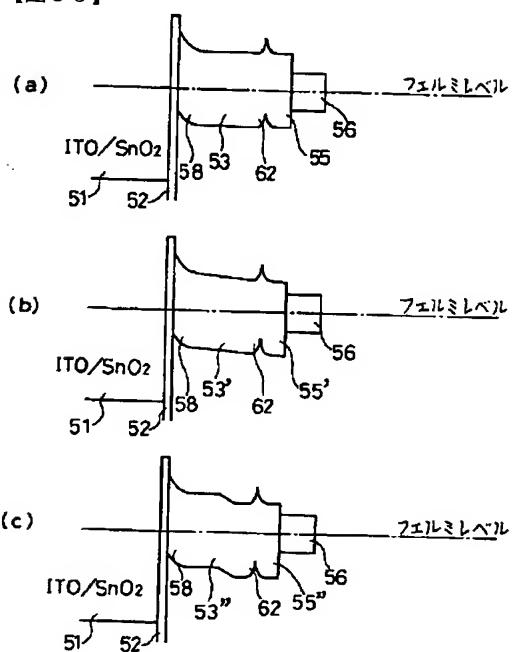
【図53】



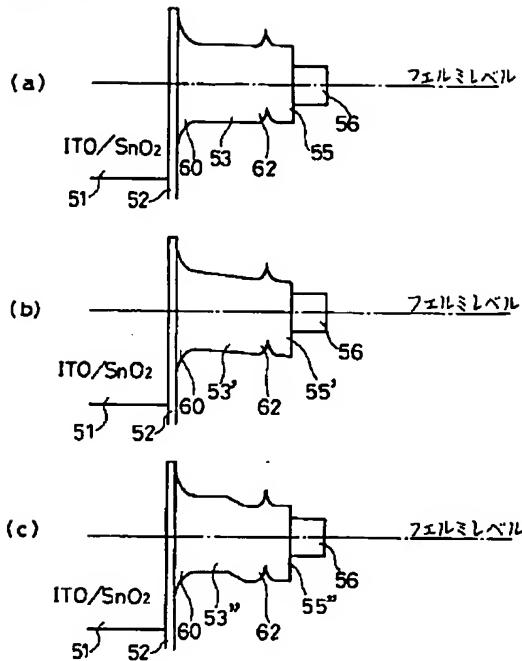
【図54】



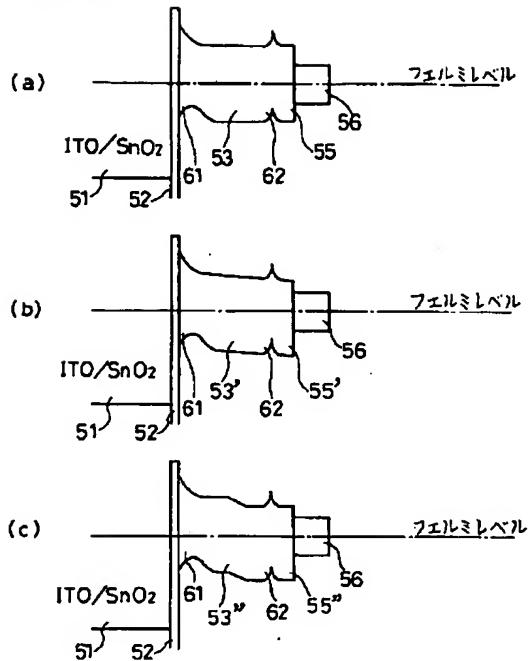
【図55】



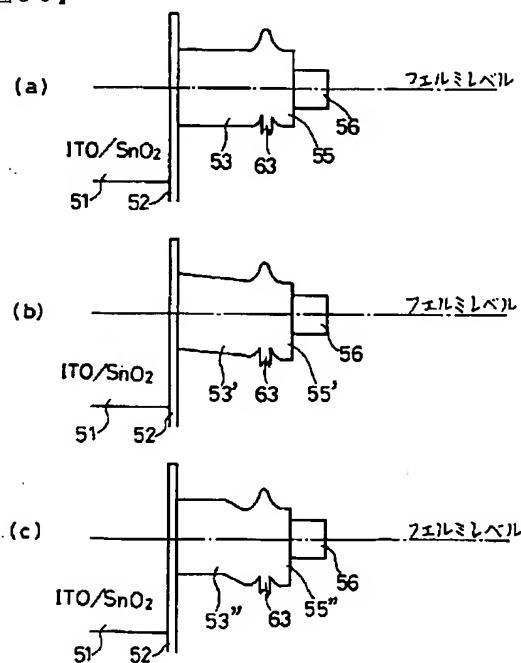
【図 57】



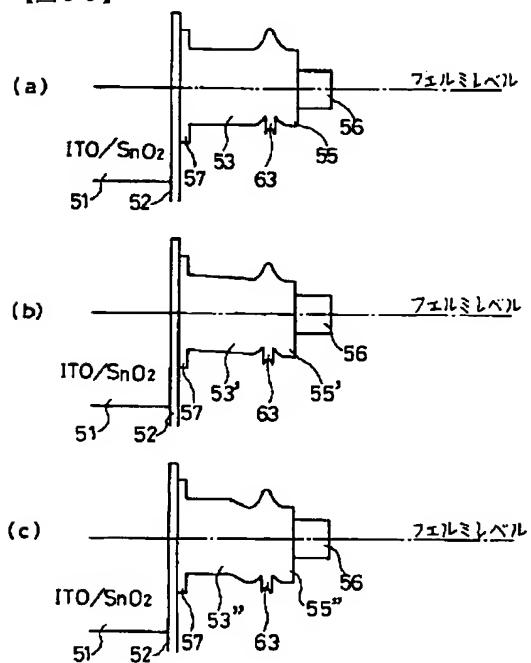
【図 58】



【図 59】

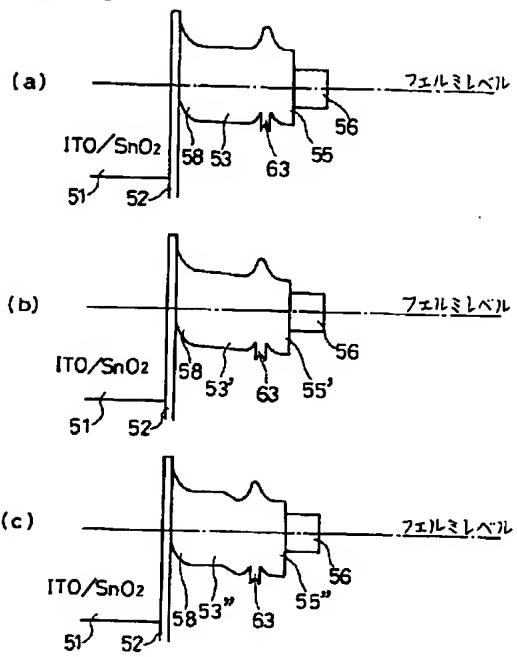


【図 60】

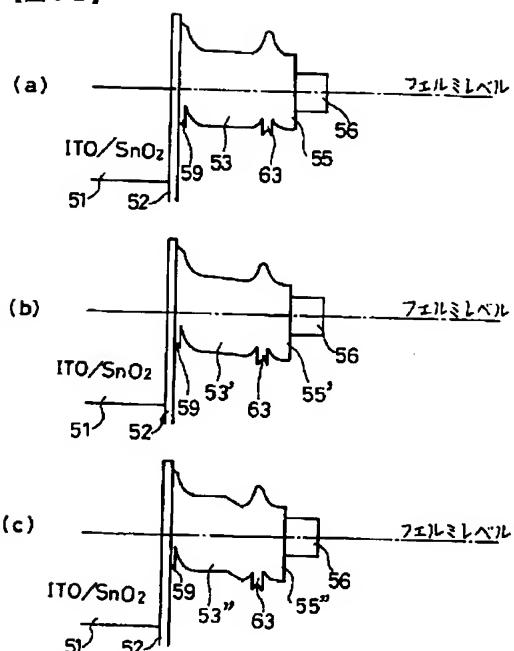


(特開平 08-262476)

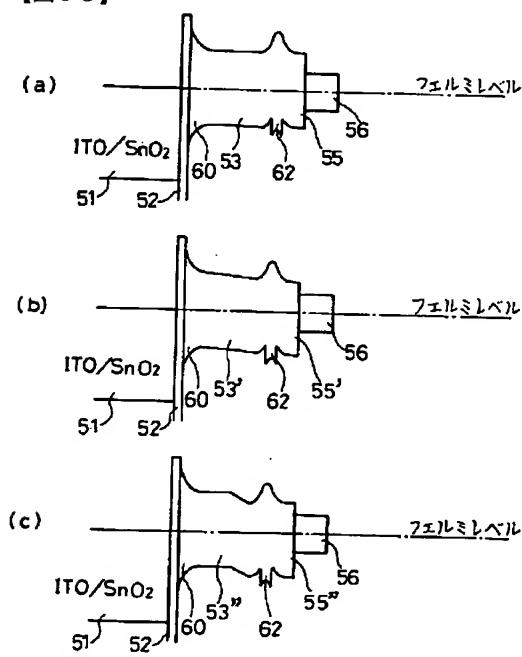
【図6 1】



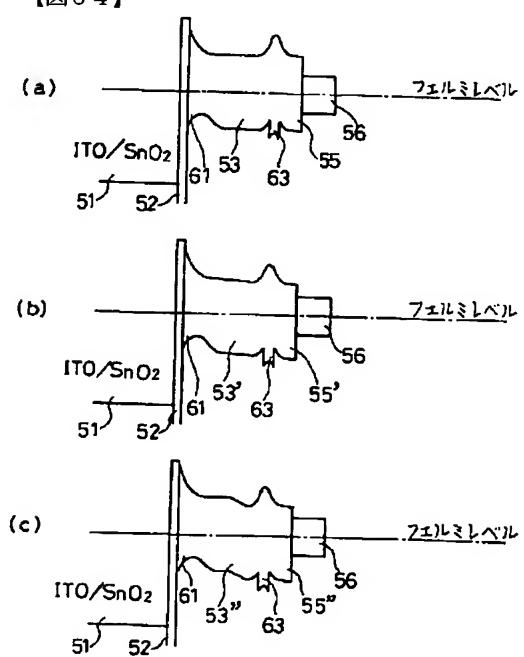
【図6 2】



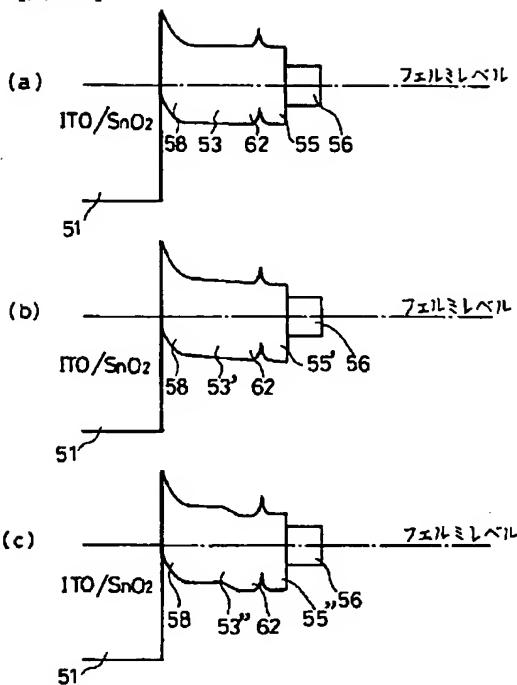
【図6 3】



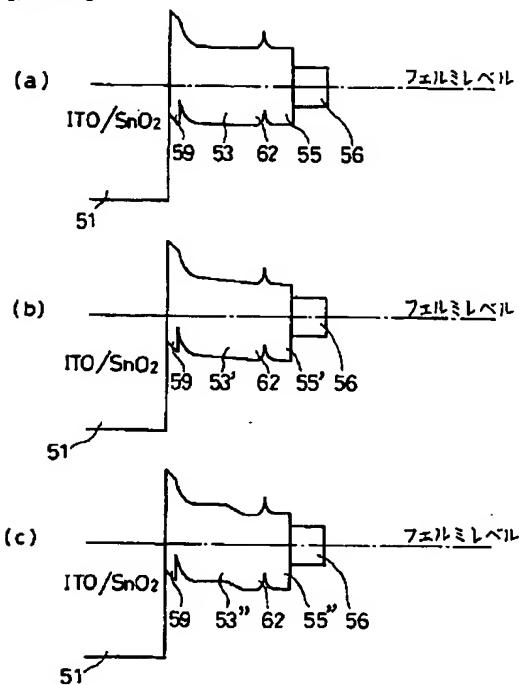
【図6 4】



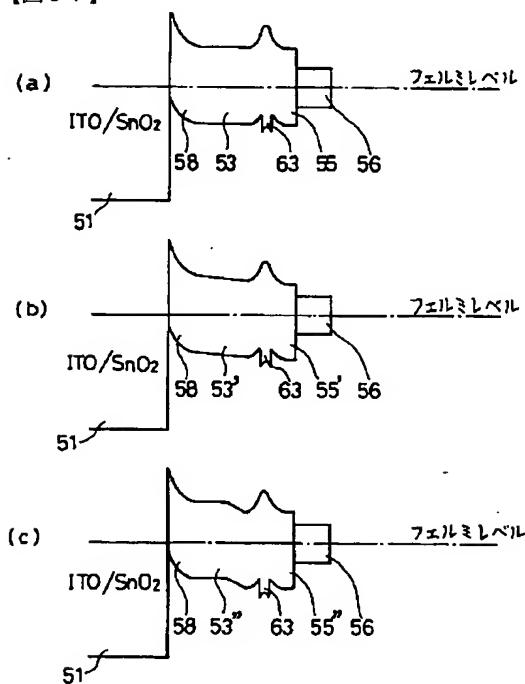
【図6 5】



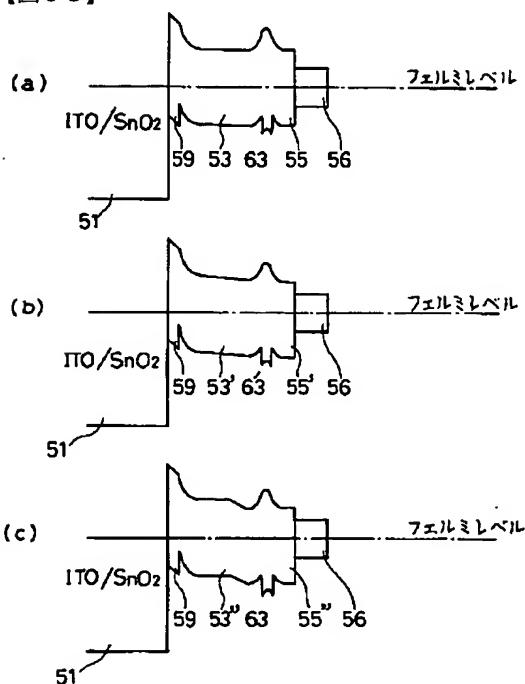
【図6 6】



【図6 7】

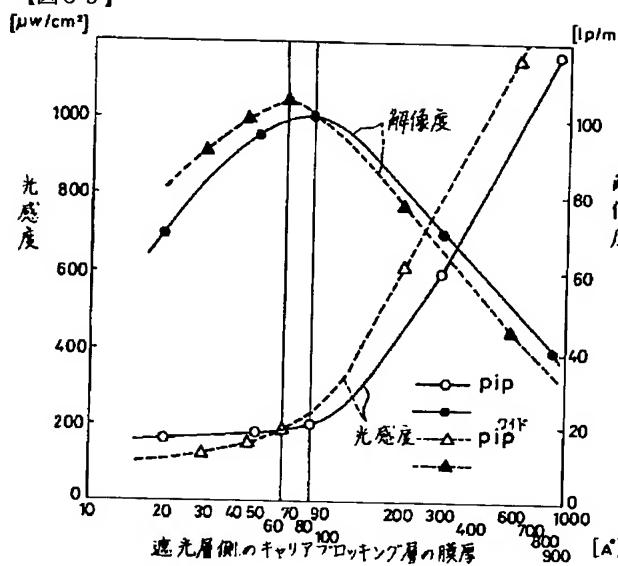


【図6 8】

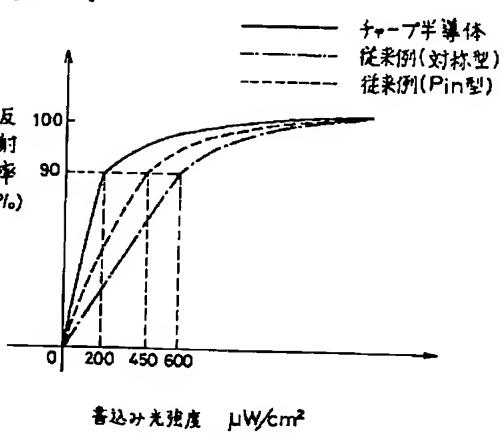


(特開平 08-262476)

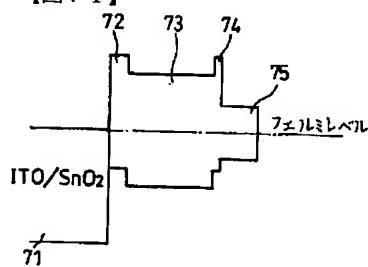
【図 6.9】



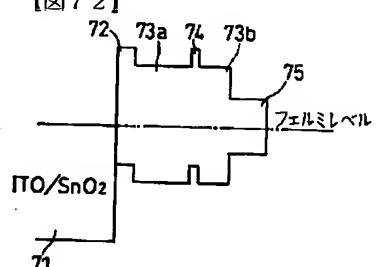
【図 7.0】



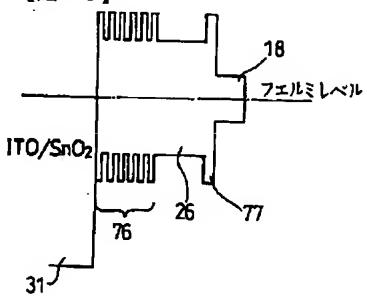
【図 7.1】



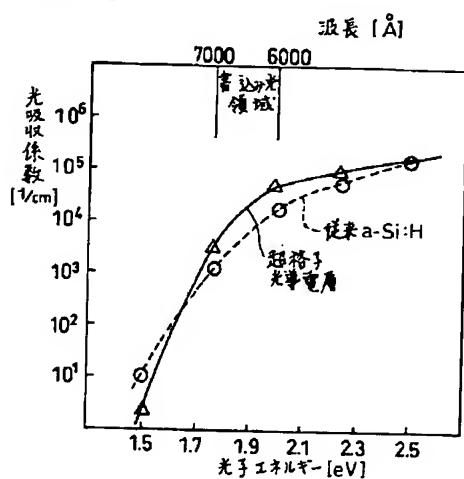
【図 7.2】



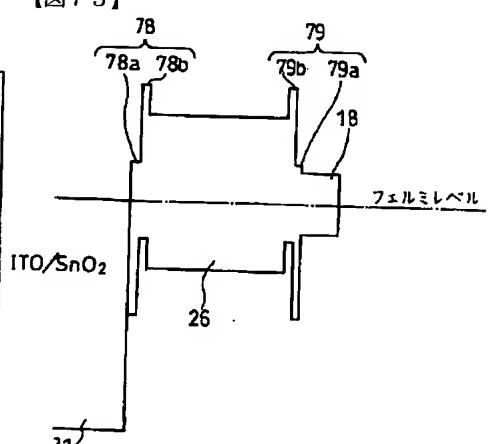
【図 7.3】



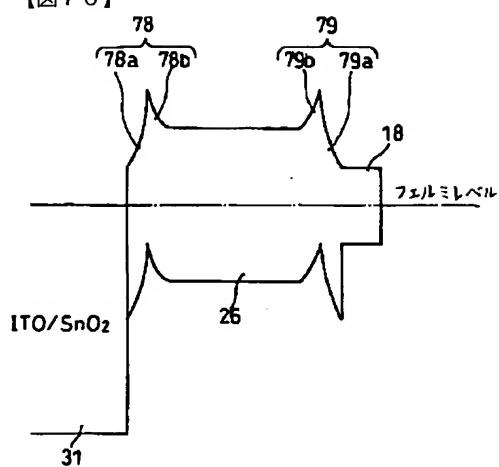
【図 7.4】



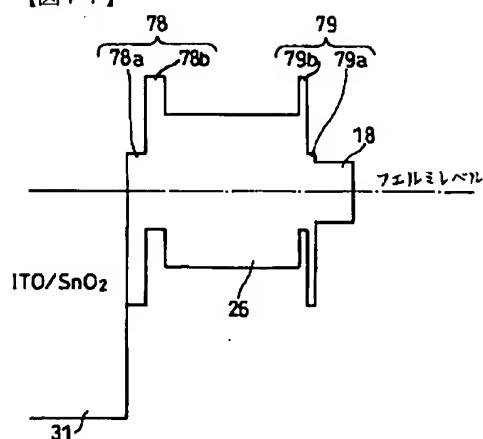
【図 7.5】



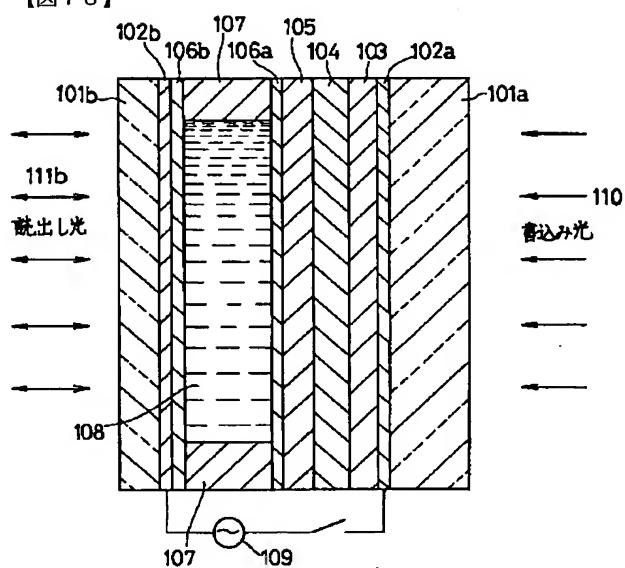
【図 7 6】



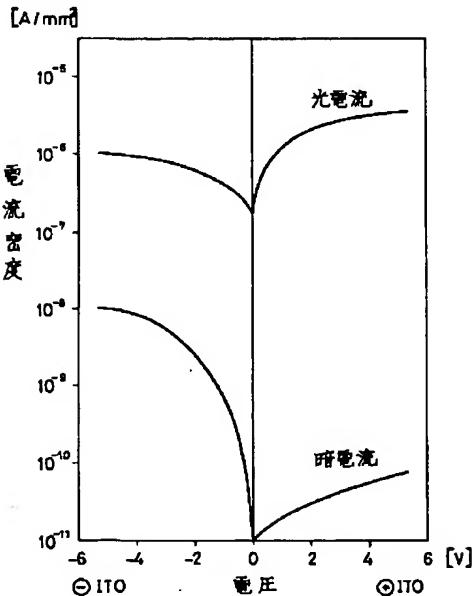
【図 7 7】



【図 7 8】

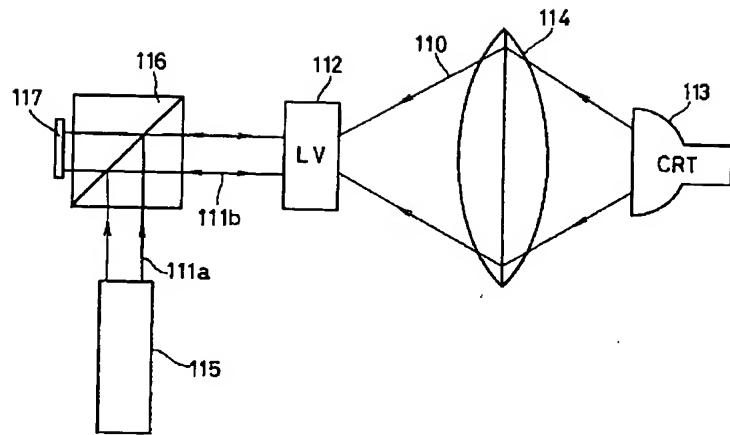


【図 8 0】

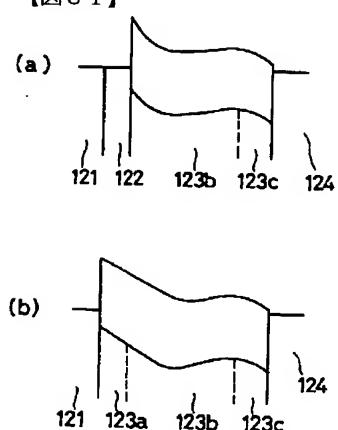


(特開平 08-262476)

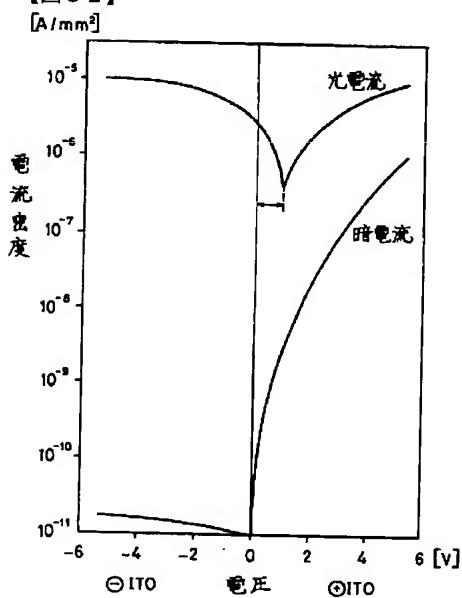
【図 7 9】



【図 8 1】



【図 8 2】



【図 8 3】

